



[Patent number] 3172086  
[Date of registration] 23.03.2001  
[Number of appeal against examiner's decision  
of rejection]  
[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3172086号  
(P3172086)

(45) 発行日 平成13年6月4日 (2001.6.4)

(24) 登録日 平成13年3月23日 (2001.3.23)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

G 1 1 C 16/02

G 1 1 C 17/00

6 4 1

6 1 1 A

請求項の数16(全 36 頁)

(21) 出願番号 特願平8-98626

(22) 出願日 平成8年4月19日 (1996.4.19)

(65) 公開番号 特開平9-198882

(43) 公開日 平成9年7月31日 (1997.7.31)

審査請求日 平成12年1月26日 (2000.1.26)

(31) 優先権主張番号 特願平7-295137

(32) 優先日 平成7年11月14日 (1995.11.14)

(33) 優先権主張国 日本 (J P)

(73) 特許権者 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 竹内 健

神奈川県川崎市幸区小向東芝町1番地

株式会社東芝研究開発センター内

(72) 発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地

株式会社東芝研究開発センター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

審査官 高橋 宜博

(56) 参考文献 特開 平7-93979 (J P, A)

特開 平7-161852 (J P, A)

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

1

(57) 【特許請求の範囲】

【請求項1】 電氣的書き替え可能としたメモリセルがマトリクス状に配置されたメモリセルアレイを有し、1つのメモリセルに3以上の複数の記憶状態を持たせて、任意のデータ“i” ( $i=0, 1, \sim, n-1$ ;  $n$ は3以上) を多値記憶する不揮発性半導体記憶装置であって、前記メモリセルアレイ内の複数のメモリセルの書き込み動作状態を制御するデータを一時記憶するための複数のデータ回路と、前記複数のメモリセルの書き込み状態を確認するための書き込みベリファイ手段と、データ“i”を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したか否かを検知する“i”書き込み終了検知回路とを具備してなることを特徴とする不揮発性半導体記憶装置。

【請求項2】 電氣的書き替え可能としたメモリセルがマ

2

トリクス状に配置されたメモリセルアレイを有し、1つのメモリセルに3以上の複数の記憶状態を持たせて、任意のデータ“i” ( $i=0, 1, \sim, n-1$ ;  $n$ は3以上) を多値記憶する不揮発性半導体記憶装置であって、前記メモリセルアレイ内の複数のメモリセルの書き込み動作状態を制御するデータを一時記憶するための複数のデータ回路と、前記複数のメモリセルの書き込み状態を確認するための書き込みベリファイ手段と、前記データ回路の内容とメモリセルの書き込み状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、前記データ回路の内容を更新する手段と、データ“i”を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したか否かを検知する“i”書き込み終了検知回路とを具備してなることを特徴とする不揮発性半導体記憶装置。

## 3

【請求項3】電気的書き替え可能としたメモリセルがマトリクス状に配置されたメモリセルアレイを有し、1つのメモリセルに3以上の複数の記憶状態を持たせて、任意のデータ“i” ( $i=0, 1, \sim, n-1$ ;  $n$ は3以上) を多値記憶する不揮発性半導体記憶装置であって、前記メモリセルアレイ内の複数のメモリセルの書き込み動作状態を制御するデータを一時記憶するための複数のデータ回路と、前記複数のメモリセルの書き込み状態を確認するための書き込みベリファイ手段と、データ

“i”を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したか否かを検知する“i”書き込み終了検知回路とを備え、

前記データ回路の内容に基づく書き込み動作と、メモリセルの書き込み状態を確認するための書き込みベリファイ動作を、前記複数のメモリセルが所定の書き込み状態になるまで続けて行うことにより、電気的にデータ書き込みを行う動作において、データ“i”を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したと“i”書き込み終了検知回路が検知すると、以後の書き込みベリファイ動作内ではデータ“i”に対する書き込みベリファイ動作(第iのベリファイリード)を行わないことを特徴とする不揮発性半導体記憶装置。

【請求項4】電気的書き替え可能としたメモリセルがマトリクス状に配置されたメモリセルアレイを有し、1つのメモリセルに3以上の複数の記憶状態を持たせて、任意のデータ“i” ( $i=0, 1, \sim, n-1$ ;  $n$ は3以上) を多値記憶する不揮発性半導体記憶装置であって、前記メモリセルアレイ内の複数のメモリセルの書き込み動作状態を制御するデータを一時記憶するための複数のデータ回路と、前記複数のメモリセルの書き込み状態を確認するための書き込みベリファイ手段と、前記データ回路の内容とメモリセルの書き込み状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、前記データ回路の内容を更新する手段と、データ“i”を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したか否かを検知する“i”書き込み終了検知回路とを備え、

前記データ回路の内容に基づく書き込み動作と、メモリセルの書き込み状態を確認する書き込みベリファイ動作及びデータ回路の内容更新を、前記複数のメモリセルが所定の書き込み状態になるまで続けて行うことにより、電気的にデータ書き込みを行う動作において、データ“i”を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したと“i”書き込み終了検知回路が検知すると、以後の書き込みベリファイ動作内ではデータ“i”に対する書き込みベリファイ動作(第iのベリファイリード)を行わないことを特徴とする不揮発性半導体記憶装置。

【請求項5】電気的書き替え可能としたメモリセルがマトリクス状に配置されたメモリセルアレイを有し、1つ

## 4

のメモリセルに3以上の複数の記憶状態を持たせて、任意のデータ“i” ( $i=0, 1, \sim, n-1$ ;  $n$ は3以上) を多値記憶し、データ“0”に対応する記憶状態は消去状態である不揮発性半導体記憶装置であって、前記メモリセルアレイ内の複数のメモリセルの書き込み動作状態を制御するデータを一時記憶するための複数のデータ回路と、前記複数のメモリセルの書き込み状態を確認するための書き込みベリファイ手段と、データ

“i”を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したか否かを検知する第iの書き込み終了検知回路とを備え、

前記データ回路の内容に基づく書き込み動作と、メモリセルの書き込み状態を確認するための書き込みベリファイ動作を、前記複数のメモリセルが所定の書き込み状態になるまで続けて行うことにより、電気的にデータ書き込みを行う動作において、

最初の書き込みベリファイ動作ではデータ“i” ( $i=1, 2, \sim, n-1$ ) を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したか否かを確認する第iのベリファイリードを  $i=1$  から  $i=n-1$  まで行い、

その後、データ“1”を書き込まれるべきメモリセルが、データ“1”の記憶状態に達したと第1の書き込み終了検知回路が検知すると、以後の書き込みベリファイ動作内ではデータ“i” ( $i=2, 3, \sim, n-1$ ) を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したか否かを確認する第iのベリファイリードを  $i=2$  から  $i=n-1$  まで行い、

その後、データ“2”を書き込まれるべきメモリセルが、データ“2”の記憶状態に達したと第2の書き込み終了検知回路が検知すると、以後の書き込みベリファイ動作内ではデータ“i” ( $i=3, 4, \sim, n-1$ ) を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したか否かを確認する第iのベリファイリードを  $i=3$  から  $i=n-1$  まで行い、

最終的にデータ“i” ( $i=1, \sim, n-2$ ) を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したと第i ( $i=1, \sim, n-2$ ) の書き込み終了検知回路が検知すると、以後の書き込みベリファイ動作内ではデータ“n-1”を書き込まれるべきメモリセルが、データ“n-1”の記憶状態に達したか否かを確認する第n-1のベリファイリードを行うことを特徴とする不揮発性半導体記憶装置。

【請求項6】電気的書き替え可能としたメモリセルがマトリクス状に配置されたメモリセルアレイを有し、1つのメモリセルに3以上の複数の記憶状態を持たせて、任意のデータ“i” ( $i=0, 1, \sim, n-1$ ;  $n$ は3以上) を多値記憶し、データ“0”に対応する記憶状態は消去状態である不揮発性半導体記憶装置であって、前記メモリセルアレイ内の複数のメモリセルの書き込み

## 5

動作状態を制御するデータを一時記憶するための複数のデータ回路と、前記複数のメモリセルの書き込み状態を確認するための書き込みベリファイ手段と、前記データ回路の内容とメモリセルの書き込み状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、前記データ回路の内容を更新する手段と、データ“i”を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したか否かを検知する第iの書き込み終了検知回路とを備え、

前記データ回路の内容に基づく書き込み動作と、メモリセルの書き込み状態を確認するための書き込みベリファイ動作及びデータ回路の内容更新を、前記複数のメモリセルが所定の書き込み状態になるまで続けて行うことにより、電気的にデータ書き込みを行う動作において、最初の書き込みベリファイ動作ではデータ“i” ( $i = 1, 2, \sim, n-1$ ) を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したか否かを確認する第iのベリファイリードを  $i = 1$  から  $i = n-1$  まで行い、

その後、データ“1”を書き込まれるべきメモリセルが、データ“1”の記憶状態に達したと第1の書き込み終了検知回路が検知すると、以後の書き込みベリファイ動作内ではデータ“i” ( $i = 2, 3, \sim, n-1$ ) を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したか否かを確認する第iのベリファイリードを  $i = 2$  から  $i = n-1$  まで行い、

その後、データ“2”を書き込まれるべきメモリセルが、データ“2”の記憶状態に達したと第2の書き込み終了検知回路が検知すると、以後の書き込みベリファイ動作内ではデータ“i” ( $i = 3, 4, \sim, n-1$ ) を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したか否かを確認する第iのベリファイリードを  $i = 3$  から  $i = n-1$  まで行い、

最終的にデータ“i” ( $i = 1 \sim n-2$ ) を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したと第i ( $i = 1, \sim, n-2$ ) の書き込み終了検知回路が検知すると、以後の書き込みベリファイ動作内ではデータ“n-1”を書き込まれるべきメモリセルが、データ“n-1”の記憶状態に達したか否かを確認する第n-1のベリファイリードを行うことを特徴とする不揮発性半導体記憶装置。

【請求項7】電気的書き替え可能としたメモリセルがマトリクス状に配置されたメモリセルアレイを有し、1つのメモリセルに3以上の複数の記憶状態を持たせて、任意のデータ“i” ( $i = 0, 1, \sim, n-1$ ;  $n$ は3以上) を多値記憶する不揮発性半導体記憶装置であって、前記メモリセルアレイ内の複数のメモリセルの書き込み動作状態を制御するデータを一時記憶するための複数のデータ回路と、前記複数のメモリセルの書き込み状態を確認するための書き込みベリファイ手段と、データ

## 6

“i”を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したか否かを検知する“i”書き込み終了検知回路とを備え、

前記データ回路の内容に基づく書き込み動作と、メモリセルの書き込み状態を確認する書き込みベリファイ動作を、前記複数のメモリセルが所定の書き込み状態になるまで続けて行うことにより、電気的にデータ書き込みを行う動作において、書き込むべきメモリセルの中に、データ“i”を書き込まれるべきメモリセルがないと

10 “i”書き込み終了検知回路が検知すると、書き込みベリファイ動作内ではデータ“i”に対する書き込みベリファイ動作(第iのベリファイリード)を行わないことを特徴とする不揮発性半導体記憶装置。

【請求項8】電気的書き替え可能としたメモリセルがマトリクス状に配置されたメモリセルアレイを有し、1つのメモリセルに3以上の複数の記憶状態を持たせて、任意のデータ“i” ( $i = 0, 1, \sim, n-1$ ;  $n$ は3以上) を多値記憶する不揮発性半導体記憶装置であって、前記メモリセルアレイ内の複数のメモリセルの書き込み動作状態を制御するデータを一時記憶するための複数のデータ回路と、前記複数のメモリセルの書き込み状態を確認するための書き込みベリファイ手段と、前記データ回路の内容とメモリセルの書き込み状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、前記データ回路の内容を更新する手段と、データ“i”を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したか否かを検知する“i”書き込み終了検知回路とを備え、

20 前記データ回路の内容に基づく書き込み動作と、メモリセルの書き込み状態を確認する書き込みベリファイ動作及びデータ回路の内容更新を、前記複数のメモリセルが所定の書き込み状態になるまで続けて行うことにより、電気的にデータ書き込みを行う動作において、書き込むべきメモリセルの中に、データ“i”を書き込まれるべきメモリセルがないと“i”書き込み終了検知回路が検知すると、書き込みベリファイ動作内ではデータ“i”に対する書き込みベリファイ動作(第iのベリファイリード)を行わないことを特徴とする不揮発性半導体記憶装置。

40 【請求項9】前記書き込み終了検知回路は、前記データ回路に接続されたデータ一括検知用MOSトランジスタユニットから構成され、かつこれらのデータ一括検知用MOSトランジスタユニットが並列接続されてなることを特徴とする請求項1～8のいずれかに記載の不揮発性半導体記憶装置。

【請求項10】前記データ回路はフリップフロップ回路を含み、前記データ一括検知用MOSトランジスタユニットは、各々のゲートが対応する前記フリップフロップ回路の一端に接続された複数のデータ一括検知用MOSトランジスタを含み、かつこれらデータ一括検知用MO

## 7

Sトランジスタが直列接続されてなることを特徴とする請求項9記載の不揮発性半導体記憶装置。

【請求項11】前記メモリセルは、半導体層上に電荷蓄積層と制御ゲートを積層形成して構成され、複数個つつ直列接続されてNANDセル構造を形成していることを特徴とする請求項1～8のいずれかに記載の不揮発性半導体記憶装置。

【請求項12】前記メモリセルは、半導体層上に電荷蓄積層と制御ゲートを積層形成して構成され、NORセル構造を形成していることを特徴とする請求項1～8のいずれかに記載の不揮発性半導体記憶装置。

【請求項13】前記データラッチ回路は、第1、第2、…、第 $m$  ( $m$ は $2^{(m-1)} < n \leq 2^m$ を満たす自然数)個配置されてなることを特徴とする請求項1～8のいずれかに記載の不揮発性半導体記憶装置。

【請求項14】電気的書き替え可能としたメモリセルがマトリクス状に配置されたメモリセルアレイを有し、1つのメモリセルに3以上の複数の記憶状態を持たせて、任意のデータ“ $i$ ” ( $i=0, 1, \dots, n-1$ ;  $n$ は3以上)を多値記憶する不揮発性半導体記憶装置であって、

前記メモリセルアレイ内の複数のメモリセルの書き込み動作状態を制御するデータを一時記憶する第1、第2、…、第 $m$  ( $m$ は $2^{(m-1)} < n \leq 2^m$ を満たす自然数)のデータラッチ回路と、前記複数のメモリセルの書き込み状態を確認するための書き込みベリファイ手段と、データ“ $i$ ”を書き込まれるべきメモリセルが、データ

“ $i$ ”の記憶状態に達したか否かを検知する“ $i$ ”書き込み終了検知回路とを具備してなることを特徴とする不揮発性半導体記憶装置。

【請求項15】“ $i$ ”書き込み終了検知回路は、“1”書き込みの終了又は“2”書き込みの終了を検知するのであることを特徴とする請求項1～4、7、8、14の何れかに記載の不揮発性半導体記憶装置。

【請求項16】“0”が消去状態であり、“ $i$ ”から“ $n-1$ ”の書き込みが全て十分に行われたか否かを検知する書き込み完了検知回路を有することを特徴とする請求項1～14の何れかに記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電気的書き替え可能な不揮発性半導体記憶装置(EEPROM)に係わり、特に1つのメモリセルに1ビットより多い情報を記憶させる多値記憶を行うEEPROMに関する。

【0002】

【従来の技術】EEPROMの1つとして、高集積化が可能なNAND型EEPROMが知られている。これは、複数のメモリセルをそれらのソース、ドレインを隣接するもの同士で共用する形で直列接続し1単位として

## 8

ビット線に接続するものである。メモリセルは通常、電荷蓄積層と制御ゲートが積層されたFETMOS構造を有する。メモリセルアレイは、 $p$ 型基板又は $n$ 型基板に形成された $p$ 型ウェル内に集積形成される。NANDセルのドレイン側は選択ゲートを介してビット線に接続され、ソース側はやはり選択ゲートを介して共通ソース線に接続される。メモリセルの制御ゲートは、行方向に連続的に配設されてワード線となる。

【0003】このNANDセル型EEPROMの動作は、次の通りである。データ書き込みは、ビット線から最も離れた位置のメモリセルから順に行う。選択されたメモリセルの制御ゲートには高電圧 $V_{pp}$  ( $=20V$ 程度)を印加し、それよりビット線側にあるメモリセルの制御ゲート及び選択ゲートには中間電圧 $V_{ppm}$  ( $=10V$ 程度)を印加し、ビット線にはデータに応じて0V又は中間電圧 $V_m$  ( $=8V$ 程度)を与える。ビット線に0Vが与えられた時、その電位は選択メモリセルのドレインまで転送されて、電荷蓄積層に電子注入が生じる。これにより、選択されたメモリセルのしきい値は正方向にシフトする。この状態を例えば“1”とする。ビット線に $V_m$ が与えられた時は電子注入が実効的に起こらず、従ってしきい値は変化せず、負に止まる。この状態は消去状態で“0”とする。データ書き込みは制御ゲートを共有するメモリセルに対して同時に行われる。

【0004】データ消去は、NANDセル内の全てのメモリセルに対して同時に行われる。即ち、全ての制御ゲートを0Vとし、 $p$ 型ウェルを20Vとする。このとき、選択ゲート、ビット線及びソース線も20Vにされる。これにより、全てのメモリセルで電荷蓄積層の電子が $p$ 型ウェルに放出され、しきい値は負方向にシフトする。

【0005】データ読み出しは、選択されたメモリセルの制御ゲートを0Vとし、それ以外のメモリセルの制御ゲート及び選択ゲートを電源電位 $V_{cc}$  (例えば5V)として、選択メモリセルで電流が流れるか否かを検出することにより行われる。

【0006】読み出し動作の制約から、“1”書き込み後のしきい値は0Vから $V_{cc}$ の間に制御しなければならぬ。このため、書き込みベリファイが行われ、

“1”書き込み不足のメモリセルのみを検出し、“1”書き込み不足のメモリセルに対してのみ再書き込みが行われるよう再書き込みデータを設定する(ビット毎ベリファイ)。“1”書き込み不足のメモリセルは、選択された制御ゲートを例えば0.5V(ベリファイ電圧)にして読み出すこと(ベリファイ読み出し)で検出される。

【0007】つまり、メモリセルのしきい値が0Vに対してマージンを持って、0.5V以上になっていないと、選択メモリセルで電流が流れ、“1”書き込み不足と検出される。“0”書き込み状態にするメモリセルで

は当然電流が流れるため、このメモリセルが“1”書き込み不足と誤認されないよう、メモリセルを流れる電流を補償するペリファイ回路と呼ばれる回路が設けられる。このペリファイ回路によって高速に書き込みペリファイは実行される。

【0008】書き込み動作と書き込みペリファイを繰り返しながらデータ書き込みをすることで、個々のメモリセルに対して書き込み時間が最適化され、“1”書き込み後のしきい値は0VからVccの間に制御される。

【0009】このようなNANDセル型EEPROMで、例えば書き込み後の状態を“0”、“1”、“2”のように3つ以上のデータを蓄える多値メモリセルが提案されている。この場合、例えば“0”書き込み状態はしきい値が負、“1”書き込み状態はしきい値が例えば0Vから1/2Vcc、“2”書き込み状態はしきい値が1/2VccからVccまでとする。

【0010】従来、この種の3値メモリセルに対して提案されている書き込み及び、書き込みが十分に行われたか調べるペリファイリード動作は、図19に示す通りである。書き込み動作では、メモリセルの制御ゲートに書き込み電圧(Vpp)が印加された後、順次“2”書き込みが十分に行われたかを調べるペリファイリード第1サイクル、及び“1”書き込みが十分に行われたかを調べるペリファイリード第2サイクルが行われる。書き込み不十分のメモリセルには書き込みパルスが印加される。このように、全てのメモリセルが十分に書き込まれるまで、ペリファイリード第1サイクル、ペリファイリード第2サイクル、再書き込みが繰り返される。

【0011】この書き込み動作の手順は、図20で示すように4値メモリセルでも同様であり、書き込み後のペリファイリード動作時には、“3”書き込みが十分に行われたかを調べるペリファイリード第1サイクル、“2”書き込みが十分に行われたかを調べるペリファイリード第2サイクル、“1”書き込みが十分に行われたかを調べるペリファイリード第3サイクル、が順次行われる。

【0012】しかしながら、この種の多値記憶可能なEEPROMにあっては、書き込みの際に次のような問題があった。即ち、例えば3値メモリセルでは、まず書き込みしきい値が小さい“1”書き込みが十分に行われ、その後に“2”書き込みが十分に行われる。従って、従来の書き込み方法では、“1”書き込みを行うメモリセルは全て十分に書き込みが行われた後では、“2”書き込みが終了するまでは、不必要な“1”書き込み十分か調べるペリファイリード第2サイクルを行うことになる。このため、ペリファイリード時間が長くなり、書き込み動作全体の時間が長いという問題があった。

【0013】また、例えば4値メモリセルでは、まず書き込みしきい値が小さい“1”書き込みが十分に行わ

れ、その後に“2”書き込みが十分に行なわれ、その後に“3”書き込みが十分に行われる。従って、従来の書き込み方法では、“1”書き込みを行うメモリセルは全て十分に書き込みが行われた後では、“2”書き込み及び“3”書き込みが終了するまでは、不必要な“1”書き込み十分か調べるペリファイリード第2サイクルを行う。そして、“2”書き込みを行うメモリセルは全て十分に書き込みが行われた後では、“3”書き込みが終了するまでは、不必要な“3”書き込み十分か調べるペリファイリード第2サイクルを行う。その結果、ペリファイリード時間が長くなり、書き込み動作全体の時間が長いという問題があった。

【0014】

【発明が解決しようとする課題】以上のように従来のNANDセル型EEPROMに多値記憶させ、ペリファイ回路でビット毎ペリファイ書き込みを行う場合には、全てのデータが書き込み終了となるまで、ペリファイリード時に、例えば3値メモリセルでは2つのペリファイリードサイクルを、4値メモリセルでは3つのペリファイリードサイクルを行う。その結果、ペリファイリード時間が長くなり、書き込み動作全体の時間が長くなるという問題があった。

【0015】本発明は、上記事情を考慮して成されたもので、その目的とするところは、多値の情報を記憶する際における不必要なペリファイリードを省略することができ、書き込み動作全体に要する時間の短縮をはかり得るEEPROMを提供することにある。

【0016】

【課題を解決するための手段】

（構成）上記課題を解決するために本発明は、次のような構成を採用している。

【0017】(1) 電気的書き替え可能としたメモリセルがマトリクス状に配置されたメモリセルアレイを有し、1つのメモリセルに3以上の複数の記憶状態を持たせて、任意のデータ“i” ( $i=0, 1, \sim, n-1$ ;  $n$ は3以上) を多値記憶する不揮発性半導体記憶装置において、前記メモリセルアレイ内の複数のメモリセルの書き込み動作状態を制御するデータを一時記憶するための複数のデータ回路と、前記複数のメモリセルの書き込み状態を確認するための書き込みペリファイ手段と、データ“i”を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したか否かを一括検知する第iのデータ一括ペリファイ回路とを具備してなることを特徴とする。

【0018】(2) 電気的書き替え可能としたメモリセルがマトリクス状に配置されたメモリセルアレイを有し、1つのメモリセルに3以上の複数の記憶状態を持たせて、任意のデータ“i” ( $i=0, 1, \sim, n-1$ ;  $n$ は3以上) を多値記憶する不揮発性半導体記憶装置において、前記メモリセルアレイ内の複数のメモリセルの書

き込み動作状態を制御するデータを一時記憶するための複数のデータ回路と、前記複数のメモリセルの書き込み状態を確認するための書き込みベリファイ手段と、前記データ回路の内容とメモリセルの書き込み状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、前記データ回路の内容を更新する手段と、データ“i”を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したか否かを一括検知する第iのデータ一括ベリファイ回路とを具備してなることを特徴とする。

【0019】(3) 上記(1)の構成に加え、前記データ回路の内容に基づく書き込み動作と、メモリセルの書き込み状態を確認するための書き込みベリファイ動作を、前記複数のメモリセルが所定の書き込み状態になるまで続けて行うことにより、電氣的にデータ書き込みを行う動作において、データ“i”を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したと第iのデータ一括ベリファイ回路が一括検知すると、以後の書き込みベリファイ動作内ではデータ“i”に対する書き込みベリファイ動作(第iのベリファイリード)を行わないことを特徴とする。

(4) 上記(2)の構成に加え、前記データ回路の内容に基づく書き込み動作と、メモリセルの書き込み状態を確認する書き込みベリファイ動作及びデータ回路の内容更新を、前記複数のメモリセルが所定の書き込み状態になるまで続けて行うことにより、電氣的にデータ書き込みを行う動作において、データ“i”を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したと第iのデータ一括ベリファイ回路が一括検知すると、以後の書き込みベリファイ動作内ではデータ“i”に対する書き込みベリファイ動作(第iのベリファイリード)を行わないことを特徴とする。

【0020】(5) 上記(3)又は(4)の構成に加え、最初の書き込みベリファイ動作ではデータ“i”(i=1, 2, ..., n-1)を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したか否かを確認する第iのベリファイリードをi=1からi=n-1まで行い、その後、データ“1”を書き込まれるべきメモリセルが、データ“1”の記憶状態に達したと第1のデータ一括ベリファイ回路が一括検知すると、以後の書き込みベリファイ動作内ではデータ“i”(i=2, 3, ..., n-1)を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したか否かを確認する第iのベリファイリードをi=2からi=n-1まで行い、その後、データ“2”を書き込まれるべきメモリセルが、データ“2”の記憶状態に達したと第2のデータ一括ベリファイ回路が一括検知すると、以後の書き込みベリファイ動作内ではデータ“i”(i=3, 4, ..., n-1)を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したか否かを確認する第iのベリファイリードをi=3か

らi=n-1まで行い、最終的にデータ“i”(i=1~n-2)を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したと第i(i=1~n-2)のデータ一括ベリファイ回路が一括検知すると、以後の書き込みベリファイ動作内ではデータ“n-1”を書き込まれるべきメモリセルが、データ“n-1”の記憶状態に達したか否かを確認する第n-1のベリファイリードを行うことを特徴とする。

【0021】(6) 上記(1)の構成に加え、前記データ回路の内容に基づく書き込み動作と、メモリセルの書き込み状態を確認する書き込みベリファイ動作を、前記複数のメモリセルが所定の書き込み状態になるまで続けて行うことにより、電氣的にデータ書き込みを行う動作において、書き込むべきメモリセルの中に、データ“i”を書き込まれるべきメモリセルがないと第iのデータ一括ベリファイ回路が一括検知すると、書き込みベリファイ動作内ではデータ“i”に対する書き込みベリファイ動作(第iのベリファイリード)を行わないことを特徴とする。

【0022】(7) 上記(2)の構成に加え、前記データ回路の内容に基づく書き込み動作と、メモリセルの書き込み状態を確認する書き込みベリファイ動作及びデータ回路の内容更新を、前記複数のメモリセルが所定の書き込み状態になるまで続けて行うことにより、電氣的にデータ書き込みを行う動作において、書き込むべきメモリセルの中に、データ“i”を書き込まれるべきメモリセルがないと第iのデータ一括ベリファイ回路が一括検知すると、書き込みベリファイ動作内ではデータ“i”に対する書き込みベリファイ動作(第iのベリファイリード)を行わないことを特徴とする。

【0023】(8) 電氣的書き替え可能としたメモリセルがマトリクス状に配置されたメモリセルアレイを有し、1つのメモリセルに3以上の複数の記憶状態を持たせて、任意のデータ“i”(i=0, 1, ..., n-1; nは3以上)を多値記憶する不揮発性半導体記憶装置において、前記メモリセルアレイ内の複数のメモリセルの書き込み動作状態を制御するデータを一時記憶する第1, 第2, ..., 第m(mは $2^{(m-1)} < n \leq 2^m$ を満たす自然数)のデータラッチ回路と、前記複数のメモリセルの書き込み状態を確認するための書き込みベリファイ手段と、データ“i”を書き込まれるべきメモリセルが、データ“i”の記憶状態に達したか否かを一括検知する第iのデータ一括ベリファイ回路とを具備してなることを特徴とする。

【0024】(9) 電氣的書き替え可能としたメモリセルがマトリクス状に配置されたメモリセルアレイを有し、1つのメモリセルに3以上の複数の記憶状態を持たせて、任意のデータ“i”(i=0, 1, ..., n-1; nは3以上)を多値記憶する不揮発性半導体記憶装置において、前記メモリセルアレイ内の複数のメモリセルの書



き込み動作状態を制御するデータを一時記憶する第1, 第2, ..., 第 $m$  ( $m$ は $2^{(m-1)} < n \leq 2^m$ を満たす自然数)のデータラッチ回路と、前記複数のメモリセルの書き込み状態を確認するための書き込みベリファイ手段と、前記データ回路の内容とメモリセルの書き込み状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、前記データラッチ回路の内容を更新する手段と、データ“ $i$ ”を書き込まれるべきメモリセルが、データ“ $i$ ”の記憶状態に達したか否かを一括検知する第 $i$ のデータ一括ベリファイ回路とを具備してなることを特徴とする。

【0025】(10)上記(9)の構成に加え、前記データ回路の内容に基づく書き込み動作と、メモリセルの書き込み状態を確認する書き込みベリファイ動作及びデータ回路の内容更新を、前記複数のメモリセルが所定の書き込み状態になるまで続けて行うことにより、電氣的にデータ書き込みを行う動作において、データ“ $i$ ”を書き込まれるべきメモリセルが、データ“ $i$ ”の記憶状態に達したと第 $i$ のデータ一括ベリファイ回路が一括検知すると、以後の書き込みベリファイ動作内ではデータ“ $i$ ”に対する書き込みベリファイ動作(第 $i$ のベリファイリード)を行わないことを特徴とする。

【0026】(11)上記(9)の構成に加え、前記データ回路の内容に基づく書き込み動作と、メモリセルの書き込み状態を確認するための書き込みベリファイ動作を、前記複数のメモリセルが所定の書き込み状態になるまで続けて行うことにより、電氣的にデータ書き込みを行う動作において、データ“ $i$ ”を書き込まれるべきメモリセルが、データ“ $i$ ”の記憶状態に達したと第 $i$ のデータ一括ベリファイ回路が一括検知すると、以後の書き込みベリファイ動作内ではデータ“ $i$ ”に対する書き込みベリファイ動作(第 $i$ のベリファイリード)を行わないことを特徴とする。

【0027】(12)上記(9)又は(10)の構成に加え、最初の書き込みベリファイ動作ではデータ“ $i$  ( $i=1, 2, \sim, n-1$ )”を書き込まれるべきメモリセルが、データ“ $i$  ( $i=1, 2, \sim, n-1$ )”の記憶状態に達したかを確認する第 $i$  ( $i=1, 2, \sim, n-1$ )のベリファイリードを $i=1$ から $i=n-1$ まで、 $n-1$ 回のベリファイリードを行い、その後、データ“1”を書き込まれるべきメモリセルが、データ“1”の記憶状態に達したと第1のデータ一括ベリファイ回路が一括検知すると、以後の書き込みベリファイ動作内ではデータ“ $i$  ( $i=2, 3, \sim, n-1$ )”を書き込まれるべきメモリセルが、データ“ $i$  ( $i=2, 3, \sim, n-1$ )”の記憶状態に達したかを確認する第 $i$  ( $i=2, 3, \sim, n-1$ )のベリファイリードを $i=2$ から $i=n-1$ まで、 $n-2$ 回のベリファイリードを行い、その後、データ“2”を書き込まれるべきメモリセルが、データ“2”の記憶状態に達したと第2のデータ一括ベリ

ファイ回路が一括検知すると、以後の書き込みベリファイ動作内ではデータ“ $i$  ( $i=3, 4, \sim, n-1$ )”を書き込まれるべきメモリセルが、データ“ $i$  ( $i=3, 4, \sim, n-1$ )”の記憶状態に達したかを確認する第 $i$  ( $i=3, 4, \sim, n-1$ )のベリファイリードを $i=3$ から $i=n-1$ まで、 $n-3$ 回のベリファイリードを行い、最終的にデータ“ $i$  ( $i=1 \sim n-2$ )”を書き込まれるべきメモリセルが、データ“ $i$  ( $i=1 \sim n-2$ )”の記憶状態に達したと第 $i$  ( $i=1 \sim n-2$ )のデータ一括ベリファイ回路が一括検知すると、以後の書き込みベリファイ動作内ではデータ“ $n-1$ ”を書き込まれるべきメモリセルが、データ“ $n-1$ ”の記憶状態に達したかを確認する第 $n-1$ のベリファイリードを行うことを特徴とする。

【0028】(13)上記(9)の構成に加え、前記データ回路の内容に基づく書き込み動作と、メモリセルの書き込み状態を確認する書き込みベリファイ動作及びデータ回路の内容更新を、前記複数のメモリセルが所定の書き込み状態になるまで続けて行うことにより、電氣的にデータ書き込みを行う動作において、書き込むべきメモリセルの中に、データ“ $i$ ”を書き込まれるべきメモリセルがないと第 $i$ のデータ一括ベリファイ回路が一括検知すると、書き込みベリファイ動作内ではデータ“ $i$ ”に対する書き込みベリファイ動作(第 $i$ のベリファイリード)を行わないことを特徴とする。

【0029】(14)上記(10)の構成に加え、前記データ回路の内容に基づく書き込み動作と、メモリセルの書き込み状態を確認する書き込みベリファイ動作を、前記複数のメモリセルが所定の書き込み状態になるまで続けて行うことにより、電氣的にデータ書き込みを行う動作において、書き込むべきメモリセルの中に、データ“ $i$ ”を書き込まれるべきメモリセルがないと第 $i$ のデータ一括ベリファイ回路が一括検知すると、書き込みベリファイ動作内ではデータ“ $i$ ”に対する書き込みベリファイ動作(第 $i$ のベリファイリード)を行わないことを特徴とする。

【0030】(作用)本発明においては、多値データ書き込みを行った後、データ一括ベリファイ回路により、個々のメモリセルの書き込み状態がその所望の多値レベル状態に達しているか否かが検出される。そして、所望の多値レベルに達していないメモリセルがあれば、そのメモリセルのみに再書き込みが行われるよう、所望の書き込み状態に応じて書き込み時のビット線電圧が出力される。そして、例えば3値メモリセルの場合では、

“1”書き込みするメモリセルが全て書き込み終了した場合には、それ以後のベリファイ読み出しでは“1”書き込み十分か調べるベリファイリードを省略することにより、書き込み時間全体を短縮する。この書き込み動作とベリファイ読み出しを繰り返して、全てのメモリセルが所望の書き込み状態に達していることを確認したらデー

タ書き込みを終了する。

【0031】また、例えば4値メモリセルの場合では“1”書き込みするメモリセルが全て書き込み終了した場合には、それ以後のベリファイ読み出しでは“1”書き込み十分か調べるベリファイリードを省略する。更に、“2”書き込みするメモリセルが全て書き込み終了した場合には、それ以後のベリファイ読み出しでは“2”ベリファイリードを省略する。以上のように、不要なベリファイリードを省略することにより、書き込み時間全体を短縮する。この書き込み動作とベリファイ読み出しを繰り返し、全てのメモリセルが所望の書き込み状態に達していることを確認したらデータ書き込みを終了する。

【0032】このようにして本発明によれば、書き込み状態の進行の程度をチェックしながら小刻みに書き込み動作を繰り返し、更に書き込みが終了したデータ（例えば3値メモリセルでは“1”データ）に対しては、以降では不要なベリファイリード（例えば3値メモリセルでは“1”書き込み十分か調べるベリファイリード）を省略することにより、データ書き込みを高速に行うことができる。

#### 【0033】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。

【0034】【実施形態1】図1は、本発明の第1の実施形態を示すもので、3値メモリセルの場合の書き込み動作である。最初の書き込み後、“2”書き込みが十分に行われたか調べるベリファイリード第1サイクル、及び“1”書き込みが十分に行われたかを調べるベリファイリード第2サイクルが行われる。“1”書き込みのメモリセルで書き込み不十分のメモリセルがあると、再プログラムが行われ、再びベリファイリード第1サイクル及びベリファイリード第2サイクルが行われる。なお、この再プログラムでは“2”書き込み不十分のメモリセルに対しても、書き込みが行われる。

【0035】“1”書き込みするメモリセルが十分に書き込みが行われた後では、もはや“1”書き込みが十分に行われたかを調べるベリファイリード第2サイクルは不要なので、図1で示すように、“2”書き込みするメモリセルが十分に書き込みが行われるまで、“2”書き込み及び、“2”書き込み十分か調べるベリファイリード第1サイクルのみが行われる。

【0036】このように本実施形態によると、“1”書き込みするメモリセルが十分に書き込まれた後では、“1”書き込み十分か調べるベリファイリードは行わないので、全体の書き込み時間が大幅に短縮される。

【0037】【実施形態2】図2は、3値メモリセルの場合の別の実施形態である。第1の実施形態と異なるのは、“2”書き込みするメモリセルが、“1”書き込みするメモリセルよりも速く書き込みが終了することがあ

る場合の動作である。

【0038】“2”書き込みメモリセルが“1”書き込みメモリセルより速く書き込みが終了した場合、“2”書き込みメモリセルの書き込み終了後は、“2”書き込み十分か調べるベリファイリードをせず、“1”書き込みするメモリセルが十分に書き込みが行われるまで、

“1”書き込み及び、“1”書き込み十分か調べるベリファイリード第2サイクルのみが行われる。また、

“1”書き込みメモリセルが“2”書き込みメモリセルより速く書き込みが終了した場合は、第1の実施形態と同様に、“2”書き込みするメモリセルが十分に書き込みが行われるまで、“2”書き込み及び、“2”書き込み十分か調べるベリファイリード第1サイクルのみが行われる。

【0039】このように本実施形態によると、“1”書き込みするメモリセル又は“2”書き込みするメモリセルのいずれかが十分に書き込まれた後では、十分に書き込まれた方のメモリセルのベリファイリードは行わないので、全体の書き込み時間が大幅に短縮される。

【0040】【実施形態3】図3は、4値メモリセルの場合の実施形態である。この場合も第1の実施形態と同様に、不要なベリファイリードを省略することによって全体の書き込み時間を短縮する。即ち、最初の書き込み後、“3”書き込みが十分に行われたか調べるベリファイリード第1サイクル、“2”書き込みが十分に行われたかを調べるベリファイリード第2サイクル、及び“1”書き込みが十分に行われたかを調べるベリファイリード第3サイクルが行われる。

【0041】“1”書き込みのメモリセルで書き込み不十分のメモリセルがあると、再プログラムが行われ、再びベリファイリード第1サイクル、ベリファイリード第2サイクル、及びベリファイリード第3サイクルが行われる。なお、この再プログラムでは、“2”書き込み不十分のメモリセルや“3”書き込み不十分のメモリセルに対しても、書き込みが行われる。

【0042】“1”書き込みするメモリセルが十分に書き込みが行われた後では、もはや“1”書き込みが十分に行われたかを調べるベリファイリード第3サイクルは不要なので、図3で示すように、“2”書き込みするメモリセルが十分に書き込みが行われるまで、再書き込み及び、“3”書き込み十分か調べるベリファイリード第1サイクル、“2”書き込み十分か調べるベリファイリード第2サイクルが行われる。

【0043】“2”書き込みするメモリセルが十分に書き込みが行われた後では、もはや“2”書き込みが十分に行われたかを調べるベリファイリード第2サイクルは行わない。つまり、図3で示すように、“3”書き込みするメモリセルが十分に書き込みが行われるまで、再書き込み及び、“3”書き込み十分か調べるベリファイリード第1サイクルのみが行われる。

【0044】このように本発明では、多値データ（例えば“1”，“2”，～，“6”，“7”）をほぼ同時に書き込む場合に、ベリファイリード時に書き込みが十分に行われたデータのベリファイリードを以降では行わないことにより、全体の書き込み時間を短縮できる。例えば8値メモリセルの場合には、最初の書き込み動作に対して、まず“1”，“2”…“7”に対する7回のベリファイリードが行われ、次に“2”，“3”，～，“7”に対する6回のベリファイリードが行われ、その次には“3”，“4”，～，“7”に対する5回のベリファイリードが行われる。

【0045】また、第2の実施形態のように、もし例えば“3”書き込みのメモリセルが最初に十分書き込まれた場合には、それ以後は“1”，“2”，“4”，“5”，～，“7”に対する6回のベリファイリードが行われ、その次に例えば“2”書き込みのメモリセルが十分に書き込まれる場合には、それ以後は“1”，“4”，“5”，～，“7”に対する5回のベリファイリードが行われればよい。

【0046】つまり、任意のデータの書き込みが十分に行われる毎にベリファイリードの回数を少なくすることができ、全体としての書き込み時間の短縮をはかることが可能となる。

【0047】〔実施形態4〕次に、本発明をNAND型EEPROMの3値メモリセルに適用する場合の実施形態を説明する。

【0048】図4は、本発明の第4の実施形態におけるNANDセル型EEPROMの概略構成を示すブロック図である。

【0049】メモリセルアレイ1に対して、読み出し／書き込み時のビット線を制御するためのビット線制御回路2と、ワード線電位を制御するためのワード線駆動回路7が設けられる。ビット線制御回路2、ワード線駆動回路7は、それぞれカラム・デコーダ3、ロウ・デコーダ8によって選択される。ビット線制御回路2は、データ入出力線（IO線）を介して入出力データ変換回路5と読み出しデータ／書き込みデータのやり取りを行う。入出力データ変換回路5は、読み出されたメモリセルの多値情報を外部に出力するため2値情報に変換し、外部から入力された書き込みデータの2値情報をメモリセルの多値情報に変換する。また、入出力データ変換回路5は、外部とのデータ入出力を制御するデータ入出力バッファ6に接続される。“1”データ書き込み終了検知回路及びデータ書き込み終了検知回路4は“1”データ書き込みが終了したか否か及び、全てのデータの書き込みが終了したか否かを検知する。

【0050】図5、図6は、メモリセルアレイ1とビット線制御回路2の具体的な構成を示している。メモリセルM1～M8と選択トランジスタS1、S2で、NAND型セルを構成する。NAND型セルの一端はビット線

BLに接続され、他端は共通ソース線Vsと接続される。選択ゲートSG1、SG2、制御ゲートCG1～CG8は、複数個のNAND型セルで共有され、1本の制御ゲートを共有するメモリセルはページを構成する。

【0051】メモリセルはそのしきい値Vtでデータを記憶し、Vtが0V以下である場合“0”データ、Vtが0V以上1.5V以下の場合“1”データ、Vtが1.5V以上電源電圧以下の場合“2”データとして記憶する。1つのメモリセルで3つの状態を持たせ、2つのメモリセルで9通りの組み合わせができる。この内、8通りの組み合わせを用いて、2つのメモリセルで3ビット分のデータを記憶する。この実施形態では、制御ゲートを共有する隣合う2つのメモリセルの組で3ビット分のデータを記憶する。また、メモリセルアレイ1は専用のpウェル上に形成されている。

【0052】クロック同期式インバータCI1、CI2とCI3、CI4でそれぞれフリップ・フロップを構成し、書き込み／読み出しデータをラッチする。また、これらはセンス・アンプとしても動作する。クロック同期式インバータCI1、CI2で構成されるフリップ・フロップは、「“0”書き込みをするか、“1”又は“2”書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが“0”の情報を保持しているか、“1”又は“2”の情報を保持しているか、を読み出しデータ情報としてラッチする。クロック同期式インバータCI3、CI4で構成されるフリップ・フロップは、「“1”書き込みをするか、“2”書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが“2”の情報を保持しているか、“0”又は“1”の情報を保持しているか、を読み出しデータ情報としてラッチする。

【0053】nチャネルMOSトランジスタの内、Qn1は、プリチャージ信号PREが“H”となると電圧VPRをビット線に転送する。Qn2は、ビット線接続信号BLCが“H”となってビット線と主要なビット線制御回路を接続する。Qn3～Qn6、Qn9～Qn12は、上述のフリップ・フロップにラッチされているデータに応じて、電圧VBLH、VBLM、VBLLを選択的にビット線に転送する。Qn7、Qn8はそれぞれ信号SAC2、SAC1が“H”となることでフリップ・フロップとビット線を接続する。Qn13は、フリップ・フロップにラッチされている1ページ分のデータが全て同じか否かを検出するために設けられる。Qn14、Qn15とQn16、Qn17はそれぞれカラム選択信号CSL1、CSL2が“H”となって、対応するフリップ・フロップとデータ入出力線IOA、IOBを選択的に接続する。Qn13A、Qn13Bは、データ一括検知用MOSトランジスタであり、同一ページ内の“1”書き込みするメモリセルが、全て十分に書き込まれたかを検出するために設けられている。

19

【0054】次に、このように構成されたEEPROMの動作を図7～図9に従って説明する。図7は読み出し動作のタイミング、図8は書き込み動作のタイミング、図9はベリファイ読み出し動作のタイミングを示している。いずれも制御ゲートCG4が選択された場合を例に示してある。

【0055】＜読み出し動作＞読み出し動作は、図7に示すように2つの基本サイクルで実行される。読み出し第1サイクルでは、まず電圧VPRが電源電圧Vccとなってビット線はプリチャージされ、プリチャージ信号PREが“L”となってビット線はフローティングにされる。続いて、選択ゲートSG1、SG2、制御ゲートCG1～CG3、CG5～CG8はVccとされる。同時に、制御ゲートCG4は1.5Vにされる。選択されたメモリセルのVtが1.5V以上の場合のみ、つまりデータ“2”が書き込まれている場合のみ、そのビット線は“H”レベルのまま保持される。

【0056】この後、センス活性化信号SEN2、SEN2Bがそれぞれ“L”、“H”、ラッチ活性化信号LAT2、LAT2Bがそれぞれ“L”、“H”となって、クロック同期式インバータCI3、CI4で構成されるフリップ・フロップはリセットされる。信号SAC2が“H”となってクロック同期式インバータCI3、CI4で構成されるフリップ・フロップとビット線は接続され、まずセンス活性化信号SEN2、SEN2Bがそれぞれ“H”、“L”となってビット線電位がセンスされた後、ラッチ活性化信号LAT2、LAT2Bがそれぞれ“H”、“L”となり、クロック同期式インバータCI3、CI4で構成されるフリップ・フロップに、

「“2”データか、“1”又は“0”データか」の情報がラッチされる。

【0057】読み出し第2サイクルは、読み出し第1サイクルに対して、選択制御ゲートCG4の電圧が1.5Vでなく0Vであること、信号SEN2、SEN2B、LAT2、LAT2B、SAC2の代わりに信号SEN1、SEN1B、LAT1、LAT1B、SAC1が出力されることが違う。よって、読み出し第2サイクルでは、クロック同期式インバータCI1、CI2で構成されるフリップ・フロップに、

「“0”データか、“1”又は“2”データか」の情報がラッチされる。以上説明した2つの読み出しサイクルによって、メモリセルに書き込まれたデータが読み出される。読み出した結果のラッチLAT1、LAT2のノードN1、N2は、下記の

(表1)のようになる。(表1)中、“H”はVcc、“L”はVssである。

【0058】

【表1】

20

	“0”	“1”	“2”
N1	H	L	L
N2	L	L	H

【0059】＜書き込み動作＞書き込み動作のタイミング図は図8である。IOA、IOBから書き込みデータがラッチLAT1、LAT2に転送される。ノードN1、N2の電位は、下記の(表2)の通りである。

【0060】

【表2】

	“0”	“1”	“2”
N1	L	H	H
N2	L	H	L

【0061】データ書き込みに先だってメモリセルのデータは消去され、メモリセルのしきい値Vtは0V以下となっている。消去はpウェル、共通ソース線Vs、選択ゲートSG1、SG2を20Vにし、制御ゲートCG1～CG8を0Vとして行われる。

【0062】書き込み動作では、まずプリチャージ信号PREが“L”となってビット線がフローティングにされる。選択ゲートSG1がVcc、制御ゲートCG1～CG8がVccとされる。選択ゲートSG2は書き込み動作中0Vである。同時に、信号VRFY1、VRFY2、FIM、FIHがVccとなる。“0”書き込みの場合は、クロック同期式インバータCI1、CI2で構成されるフリップ・フロップに、クロック同期式インバータCI1の出力が“H”になるようにデータがラッチされているため、ビット線はVccにより充電される。

“1”又は“2”書き込みの場合は、ビット線は0Vである。

【0063】続いて、選択ゲートSG1、制御ゲートCG1～CG8、信号BLC、信号VRFY1と電圧VSAが10V、電圧VBLHが8V、電圧VBLMが1Vとなる。“1”書き込みの場合は、クロック同期式インバータCI3、CI4で構成されるフリップ・フロップに、クロック同期式インバータCI3の出力が“H”になるようにデータがラッチされているため、ビット線BLには1Vが印加される。“2”書き込みの場合はビット線は0V、“0”書き込みの場合は8Vとなる。この後、選択された制御ゲートCG4が20Vとされる。

【0064】“1”又は“2”書き込みの場合は、ビット線BLと制御ゲートCG4の電位差によって電子がメモリセルの電荷蓄積層に注入され、メモリセルのしきい値は上昇する。“1”書き込みの場合は、“2”書き込みに比較してメモリセルの電荷蓄積層に注入すべき電荷

量を少なくしなければならないため、ビット線BLを1Vにして制御ゲートCG4との電位差を1.9Vに緩和している。但し、この電位差の緩和はななくとも実施可能である。“0”書き込み時は、ビット線電圧8Vによってメモリセルのしきい値は実効的には変わらない。

【0065】書き込み動作の終了時は、まず選択ゲートSG1、制御ゲートCG1～CG8を0Vとし、“0”書き込み時のビット線BLの電圧8Vは遅れて0Vにリセットされる。この順序が反転すると一時的に“2”書き込み動作の状態ができて、“0”書き込み時に間違っ

たデータを書いてしまうからである。

【0066】<書き込みベリファイリード>書き込み動作後に、メモリセルの書き込み状態を確認し書き込み不足のメモリセルにのみ追加書き込みを行うため、ベリファイ読み出しが行われる。本実施形態は3値メモリセルであり、ベリファイリード動作のタイミング図は図9、動作の概要は図10である。

【0067】ベリファイ読み出し中は、電圧VBLHはVcc、VBLは0V、FIHは0Vである。ベリファイ読み出しに先だって、REND B1、REND B2は定電位(例えばVcc)にプリチャージされ、その後フローティングに保たれる。

【0068】最初の書き込みパルスを印加した後の、最初のベリファイ読み出しは、2つの基本サイクルから実行される。この基本サイクルは読み出し第1サイクルに似ている。違うのは、選択された制御ゲートCG4の電圧と、信号VRFY1、VRFY2、FIHが出力されることである(ベリファイ読み出し第1サイクルではVRFY1のみ)。

【0069】信号VRFY1、VRFY2、FIHは、選択ゲートSG1、SG2、制御ゲートCG1～CG8が0Vにリセットされた後で信号SEN1、SEN1B、LAT1、LAT1Bがそれぞれ“L”、“H”、“L”、“H”になる前に出力される。言い替えると、ビット線の電位がメモリセルのしきい値によって決定した後で、クロック同期式インバータCI1、CI2で構成されるフリップ・フロップがリセットされる前である。選択された制御ゲートCG4の電圧は、読み出し時の1.5V(第1サイクル)、0V(第2サイクル)に対応して、2V(第1サイクル)、0.5V(第2サイクル)と、0.5Vのしきい値マージンを確保するために高くしてある。

【0070】ここでは、クロック同期式インバータCI1、CI2で構成されるフリップ・フロップにラッチされているデータ(data1)、クロック同期式インバータCI3、CI4で構成されるフリップ・フロップにラッチされているデータ(data2)と選択されたメモリセルのしきい値によって決まるビット線BLの電圧を説明する。data1は“0”書き込みか、“1”又は“2”書き込みか」を制御し、“0”書き込みの場

合はQn3は“ON”状態、“1”又は“2”書き込みの場合はQn6が“ON”状態である。data2は“1”書き込みか、“2”書き込みか」を制御し、“1”書き込みの場合はQn10は“ON”状態、“2”書き込みの場合はQn11が“ON”状態である。

【0071】<ベリファイ読み出し第1サイクル>  
“0”データ書き込み時(初期書き込みデータが“0”)のベリファイ読み出し第1サイクルでは、メモリセルのデータが“0”であるから、制御ゲートCG4が2Vになるとメモリセルによってビット線電位は“L”となる。その後、信号VRFY1が“H”となることでビット線BLは“H”となる。

【0072】“1”データ書き込み時(初期書き込みデータが“1”)のベリファイ読み出し第1サイクルでは、メモリセルのデータが“1”となるはずであるからメモリセルのしきい値は1.5V以下で、制御ゲートCG4が2Vになるとメモリセルによってビット線電位は“L”となる。その後、信号VRFY1が“H”となることで、既に“1”書き込み十分でdata1が“0”書き込みを示している場合はビット線BLは“H”(図9の(1))、さもなければビット線BLは“L”(図9の(2))となる。

【0073】“2”データ書き込み時(初期書き込みデータが“2”)のベリファイ読み出し第1サイクルでは、選択メモリセルのデータが“2”となっていない(“2”書き込み不十分)場合、制御ゲートCG4が2Vになるとメモリセルによってビット線電位は“L”となる(図9の(5))。選択メモリセルが“2”書き込み十分になっている場合、制御ゲートCG4が2Vになってもビット線電位は“H”のままである(図9の(3)(4))。図9の(3)は既に“2”書き込み十分でdata1が“0”書き込みを示している場合である。この場合、信号VRFY1が“H”となることで、電圧VBHによってビット線BLは再充電される。

【0074】<ベリファイ読み出し第2サイクル>  
“0”データ書き込み時(初期書き込みデータが“0”)のベリファイ読み出し第2サイクルでは、メモリセルのデータが“0”であるから、制御ゲートCG4が0.5Vになるとメモリセルによってビット線電位は“L”となる。その後、信号VRFY1が“H”となることでビット線BLは“H”となる。

【0075】“1”データ書き込み時(初期書き込みデータが“1”)のベリファイ読み出し第2サイクルでは、選択メモリセルのデータが“1”となっていない(“1”書き込み不十分)場合、制御ゲートCG4が0.5Vになるとメモリセルによってビット線電位は“L”となる(図9の(8))。選択メモリセルが“1”書き込み十分になっている場合、制御ゲートCG4が0.5Vになってもビット線電位は“H”のままである(図9の(6)(7))。図9の(6)は既に“1”書き込み十

分でdata1が“0”書き込みを示している場合である。この場合、信号VRFY1が“H”となることで、電圧VBHによってビット線BLは再充電される。

【0076】“2”データ書き込み時（初期書き込みデータが“2”）のペリファイ読み出し第2サイクルでは、メモリセルのデータが“2”となるはずであるから、メモリセルのしきい値が0.5V以上であれば

“2”書き込み十分でも不十分でも、制御ゲートCG4が0.5Vになってもビット線電位は“H”のままである（図9の(9)(10)）。“2”書き込み不十分でメモリセルのしきい値が0.5V以下の場合、ビット線は

“L”になる（図9の(11)）。

【0077】その後、信号VRFY1、VRFY2、FIHが“H”となることで、既に“2”書き込み十分でdata1が“0”書き込みを示している場合ビット線BLは“H”（図9の(9)）、さもなくばビット線BLは“L”（図9の(10)(11)）となる。

【0078】このペリファイ読み出し動作によって、書き込みデータとメモリセルの書き込み状態から再書き込みデータが、下記の（表3）のように設定される。

【0079】

【表3】

書き込みデータ	0 0 0 1 1 2 2 2
セルのデータ	0 1 2 0 1 0 1 2
再書き込みデータ	0 0 0 1 0 2 2 0

【0080】（表3）から分るように、“1”書き込み不足のメモリセルのみ再度“1”書き込みが行われ、“2”書き込み不足のメモリセルにのみ再度“2”書き込みが行われるようになっている。

【0081】ここで、“1”書き込み不十分のメモリセルではN1、N2ともに“H”なので、Qn13A、Qn13Bが“ON”になり、REND B2がプリチャージ電位から放電される。即ち、“1”書き込み不十分のメモリセルが1つでもあると、REND B2が“L”になる。REND B2が放電されて“L”になることを検出して、（再書き込み後の）次のペリファイリードでも“1”書き込み十分か調べるペリファイリードを行う。

【0082】一方、“1”書き込みするメモリセルが全て十分に書き込まれると、“1”書き込みする全てのカラムでノードN1が“L”になるので、Qn13Aが“OFF”になり、その結果、REND B2はプリチャージ電位を保つ。従って、REND B2の電位が“L”にならず、“H”状態を保つことを“1”データ書き込み終

了検知回路4で検出することにより、図1、図10に示したように、（再書き込み後の）次のペリファイリードでは“1”書き込み十分か調べるペリファイリードをせずに、“2”書き込み十分か調べるペリファイリードのみを行う。

【0083】“0”書き込み又は“2”書き込みのメモリセルではN2は“L”なのでQn13Bは“OFF”し、REND B2がプリチャージ電位から放電されることはない。従って、書き込みデータが全て“0”又は“2”の場合もREND B2は“H”レベルを保つ。また、

“0”書き込みの書き込みデータはN1が“L”、N2が“L”でなくてもよい。つまり、“0”書き込みの書き込みデータをN1を“L”、N2を“H”としてもよい。この場合N1が“L”なので、Qn13Aは“OFF”し、REND B2は“H”レベルを保ち、REND B2がプリチャージ電位から放電することはない。

【0084】“1”書き込みメモリセルが書き込み十分か調べるペリファイリードを省略する様子を、図10を用いて説明する。“1”書き込み不十分だとREND B2が“L”なので、図10に示すように再書き込み及び、ペリファイリード第1サイクル、ペリファイリード第2サイクルが繰り返される。

【0085】一方、“1”書き込みするメモリセルが全て十分に書き込まれ、“2”書き込みするメモリセルで書き込み不十分のものと、REND B2が

“H”、REND B1が“L”なので、（再書き込み後の）次のペリファイリードでは“1”書き込み十分か調べるペリファイリードをせずに、“2”書き込み十分か調べるペリファイリードのみが行われる。

【0086】また、全てのメモリセルでデータ書き込みが十分になると、全てのカラムのQn13が“OFF”となり、信号REND B1が“H”になる。REND B1が“H”になることを、データ書き込み終了検知回路4で検出することによってデータ書き込み終了情報が出力される。

【0087】このように本実施形態では、不要なペリファイリード動作を省略して書き込み時間を大幅に短縮できる。また、本実施形態ではこの不要なペリファイリードを省略する動作を、従来例に比べて2個トランジスタ数を増加しただけで実現しているので、この動作を実現するために必要な面積の増加は小さい。

【0088】下記の（表4）に、消去、書き込み、読み出し、ペリファイ読み出し時のメモリセルアレイ各部の電位を示す。

【0089】

【表4】

25

26

	消 去	書 き 込 み '0' '1' '2'	読 り 出 し 第1サイクル 第2サイクル	ベリファイ 読 り 出 し 第1サイクル 第2サイクル
BL	20V	8V 1V 0V	'2'読出し '0'読出し 時のみ'H' 時のみ'L'	図9参照
SG1	20V	10V	5V	5V
CG1	0V	10V	5V	5V
CG2	0V	10V	5V	5V
CG3	0V	10V	5V	5V
CG4	0V	20V	1.5V 0V	2V 0.5V
CG5	0V	10V	5V	5V
CG6	0V	10V	5V	5V
CG7	0V	10V	5V	5V
CG8	0V	10V	5V	5V
SG2	20V	0V	5V	5V
V <sub>s</sub>	20V	0V	0V	0V
Pwell	20V	0V	0V	0V

【0090】〔実施形態5〕図11は、本発明の第5の実施形態におけるNORセル型EEPROMの、メモリセルアレイ1とビット線制御回路2の具体的な構成を示している。

【0091】メモリセルM10のみで、NOR型セルを構成する。NOR型セルの一端はビット線BLに接続され、他端は共通接地線と接続される。1本の制御ゲートWLを共有するメモリセルMはページを構成する。メモリセルはそのしきい値V<sub>t</sub>でデータを記憶し、V<sub>t</sub>がV<sub>cc</sub>以上である場合“0”データ、V<sub>t</sub>がV<sub>cc</sub>以下2.5V以上の場合“1”データ、V<sub>t</sub>が2.5V以下0V以上の場合“2”データとして記憶する。

【0092】1つのメモリセルで3つの状態を持たせ、2つのメモリセルで9通りの組み合わせができる。この内、8通りの組み合わせを用いて、2つのメモリセルで3ビット分のデータを記憶する。この実施形態では、制御ゲートを共有する隣合う2つのメモリセルの組で3ビット分のデータを記憶する。

【0093】クロック同期式インバータCI5、CI6とCI7、CI8でそれぞれフリップ・フロップを構成し、書き込み/読み出しデータをラッチする。また、これらはセンス・アンプとしても動作する。クロック同期式インバータCI5、CI6で構成されるフリップ・フロップは、「“0”書き込みをするか、“1”又は“2”書き込みをするか」、を書き込みデータ情報とし

てラッチし、メモリセルが「“0”の情報を持しているか、“1”又は“2”の情報を持しているか」、を読み出しデータ情報としてラッチする。クロック同期式インバータCI7、CI8で構成されるフリップ・フロップは、「“1”書き込みをするか、“2”書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが「“2”の情報を持しているか、“0”又は“1”の情報を持しているか」、を読み出しデータ情報としてラッチする。

【0094】nチャネルMOSトランジスタの内、Qn18は、プリチャージ信号PREが“H”となると電圧V<sub>PR</sub>をビット線に転送する。Qn19は、ビット線接続信号BLCが“H”となってビット線と主要なビット線制御回路を接続する。Qn20～Qn23、Qn25～Qn28は、上述のフリップ・フロップにラッチされているデータに応じて、電圧V<sub>BLH</sub>、V<sub>BLM</sub>、0Vを選択的にビット線に転送する。Qn24、Qn29は、それぞれ信号SAC2、SAC1が“H”となることでフリップ・フロップとビット線を接続する。Qn30は、フリップ・フロップにラッチされている1ページ分のデータが全て同じか否かを検出するために設けられる。Qn35、Qn36は、データ一括検知用MOSトランジスタであり、同一ページ内の“1”書き込みするメモリセルが、全て十分に書き込まれたかを検出するために設けられている。Qn31、Qn32とQn33、Qn34は、それぞれカラム選択

信号CSL1, CSL2が“H”となって、対応するフリップ・フロップとデータ入出力線IOA, IOBを選択的に接続する。

【0095】次に、このように構成されたEEPROMの動作を図12～14に従って説明する。図12は読み出し動作のタイミング、図13は書き込み動作のタイミング、図14はベリファイ読み出し動作のタイミングを示している。

【0096】＜読み出し動作＞読み出し動作は、図12に示すように2つの基本サイクルで実行される。読み出し第1サイクルは、まず電圧VPRが電源電圧Vccとなってビット線はプリチャージされ、プリチャージ信号PREが“L”となってビット線はフローティングにされる。続いて、制御ゲートWLは2.5Vにされる。選択されたメモセルのVtが2.5V以下の場合のみ、つまりデータ“2”が書き込まれている場合のみ、そのビット線は“L”レベルになる。

【0097】この後、センス活性化信号SEN2, SEN2Bがそれぞれ“L”, “H”、ラッチ活性化信号LAT2, LAT2Bがそれぞれ“L”, “H”となって、クロック同期式インバータC17, C18で構成されるフリップ・フロップはリセットされる。信号SAC2が“H”となってクロック同期式インバータC17, C18で構成されるフリップ・フロップとビット線は接続され、まずセンス活性化信号SEN2, SEN2Bがそれぞれ“H”, “L”となってビット線電位がセンスされた後、ラッチ活性化信号LAT2, LAT2Bがそれぞれ“H”, “L”となり、クロック同期式インバータC17, C18で構成されるフリップ・フロップに、「“2”データか、“1”又は“0”データか」の情報

がラッチされる。

【0098】読み出し第2サイクルは、読み出し第1サイクルに対して、選択制御ゲートWLの電圧が2.5VでなくVccであること、信号SEN2, SEN2B, LAT2, LAT2B, SAC2の代わりに信号SEN1, SEN1B, LAT1, LAT1B, SAC1が出力されることが違う。よって、読み出し第2サイクルでは、クロック同期式インバータC15, C16で構成されるフリップ・フロップに、「“0”データか、“1”又は“2”データか」の情報がラッチされる。以上説明した2つの読み出しサイクルによって、メモセルに書き込まれたデータが読み出される。

【0099】＜書き込み動作＞データ書き込みに先だってメモセルのデータは消去され、メモセルのしきい値VtはVcc以上となっている。消去は、制御ゲートWLを20Vとし、ビット線を0Vにして行われる。書き込みデータによって図11のビット線制御回路内のフリップフロップのノードN1, N2は、下記の（表5）のようになる。

【0100】

【表5】

	“0”	“1”	“2”
N1	L	H	H
N2	L	H	L

【0101】書き込み動作では、図13に示すように、まずプリチャージ信号PREが“L”となってビット線がフローティングにされる。信号VRFY1, VRFY2, FIM, FILがVccとなる。“0”書き込みの場合は、クロック同期式インバータC15, C16で構成されるフリップ・フロップに、クロック同期式インバータC15の出力が“H”になるようにデータがラッチされているため、ビット線は0Vである。“1”又は“2”書き込みの場合は、ビット線はVccに充電される。

【0102】続いて、信号BLC, VRFY2, FIM, FILと電圧VSAが10V、電圧VBLHが8V、電圧VBLMが7Vとなる。“1”書き込みの場合は、クロック同期式インバータC17, C18で構成されるフリップ・フロップに、クロック同期式インバータC17の出力が“H”になるようにデータがラッチされているため、ビット線BLには7Vが印加される。

“2”書き込みの場合はビット線は8V、“0”書き込みの場合は0Vとなる。この後、選択された制御ゲートWLが-12Vとされる。

【0103】“1”又は“2”書き込みの場合は、ビット線BLと制御ゲートWLの電位差によって電子がメモセルの電荷蓄積層から放出され、メモセルのしきい値は下降する。“1”書き込みの場合は、“2”書き込みに比較してメモセルの電荷蓄積層から放出すべき電荷量を少なくしなければならないため、ビット線BLを7Vにして制御ゲートWLとの電位差を19Vに緩和している。“0”書き込み時は、ビット線電圧0Vによってメモセルのしきい値は実効的には変わらない。

【0104】＜ベリファイ読み出し動作＞書き込み動作後に、メモセルの書き込み状態を確認し書き込み不足のメモセルにのみ追加書き込みを行うため、ベリファイ読み出しが行われる。ベリファイリード動作のタイミング図は図14、動作の概要は図10である。ベリファイ読み出し中は、電圧VBLHはVcc、FIMは0Vである。

【0105】ベリファイ読み出しは、2つの基本サイクルから実行される。この基本サイクルは読み出しサイクルに似ている。違うのは、選択された制御ゲートWLの電圧と、信号VRFY1, VRFY2, FILが出力されることである（ベリファイ読み出し第1サイクルではVRFY1のみ）。信号VRFY1, VRFY2, FILは、制御ゲートWLが0Vにリセットされた後で信号

10

20

30

40

50



SEN1, SEN1B, LAT1, LAT1Bがそれぞれ“L”, “H”, “L”, “H”になる前に出力される。言い替えると、ビット線の電位がメモリセルのしきい値によって決定した後で、クロック同期式インバータC15, C16で構成されるフリップ・フロップがリセットされる前である。選択された制御ゲートWLの電圧は、読み出し時の2.5V(第1サイクル)、Vcc(第2サイクル)に対応して、2V(第1サイクル)、4V(第2サイクル)と、しきい値マージンを確保するために低くしてある。

【0106】ここでは、クロック同期式インバータC15, C16で構成されるフリップ・フロップにラッチされているデータ(data1)、クロック同期式インバータC17, C18で構成されるフリップ・フロップにラッチされているデータ(data2)と選択されたメモリセルのしきい値によって決まるビット線BLの電圧を説明する。data1は「“0”書き込みか、“1”又は“2”書き込みか」を制御し、“0”書き込みの場合はQn20は“ON”状態、“1”又は“2”書き込みの場合はQn23が“ON”状態である。data2は「“1”書き込みか、“2”書き込みか」を制御し、“1”書き込みの場合はQn28は“ON”状態、“2”書き込みの場合はQn27が“ON”状態である。

【0107】<ベリファイ読み出し第1サイクル>  
“0”データ書き込み時(初期書き込みデータが“0”)のベリファイ読み出し第1サイクルでは、メモリセルのデータが“0”であるから、制御ゲートWLが2Vになってもビット線電位は“H”のままである。その後、信号VRFY1が“H”となることでビット線BLは“L”となる。

【0108】“1”データ書き込み時(初期書き込みデータが“1”)のベリファイ読み出し第1サイクルでは、メモリセルのデータが“1”となるはずであるからメモリセルのしきい値は2.5V以上で、制御ゲートWLが2Vになってもビット線電位は“H”のままである。その後、信号VRFY1が“H”となることで、既に“1”書き込み十分でdata1が“0”書き込みを示している場合ビット線BLは“L”(図14の(2))、さもなくばビット線BLは“H”(図14の(1))となる。

【0109】“2”データ書き込み時(初期書き込みデータが“2”)のベリファイ読み出し第1サイクルでは、選択メモリセルのデータが“2”となっていない(“2”書き込み不十分)場合、制御ゲートWLが2Vになってもビット線電位は“H”である(図14の(3))。選択メモリセルが“2”書き込み十分になっている場合、制御ゲートWLが2Vになるとビット線電位はメモリセルによって“L”となる(図14の(4)(5))。図14の(5)は既に“2”書き込み十分でdata1が“0”書き込みを示している場合である。この場合、信

号VRFY1が“H”となることで、ビット線BLは接地される。

【0110】<ベリファイ読み出し第2サイクル>  
“0”データ書き込み時(初期書き込みデータが“0”)のベリファイ読み出し第2サイクルでは、メモリセルのデータが“0”であるから、制御ゲートCG4が4Vになってもビット線電位は“H”である。その後、信号VRFY1が“H”となることでビット線BLは“L”となる。

10 【0111】“1”データ書き込み時(初期書き込みデータが“1”)のベリファイ読み出し第2サイクルでは、選択メモリセルのデータが“1”となっていない(“1”書き込み不十分)場合、制御ゲートWLが4Vになってもビット線電位は“H”である(図14の(6))。選択メモリセルが“1”書き込み十分になっている場合、制御ゲートWLが4Vになるとメモリセルによりビット線電位は“L”となる(図14の(7)(8))。図14の(8)は既に“1”書き込み十分でdata1が“0”書き込みを示している場合である。この場合、信号VRFY1が“H”となることで、ビット線BLは接地される。

20 【0112】“2”データ書き込み時(初期書き込みデータが“2”)のベリファイ読み出し第2サイクルでは、メモリセルのデータが“2”となるはずであるからメモリセルのしきい値が4V以下であれば“2”書き込み十分でも不十分でも、制御ゲートWLが4Vになるとビット線電位は“L”となる(図14の(10)(11))。

“2”書き込み不十分でメモリセルのしきい値が4V以上の場合、ビット線は“H”になる(図14の(9))。

30 【0113】その後、信号VRFY1, VRFY2, FIHが“H”となることで、既に“2”書き込み十分でdata1が“0”書き込みを示している場合ビット線BLは“L”(図14の(11))、さもなくばビット線BLは“H”(図14の(9)(10))となる。

【0114】このベリファイ読み出し動作によって、書き込みデータとメモリセルの書き込み状態から再書き込みデータが、第4の実施形態と同様に前記(表3)のように設定される。

40 【0115】ここで、“1”書き込み不十分のメモリセルではN1, N2ともに“H”なので、Qn35, Qn36が“ON”になり、REND B2がプリチャージ電位から放電される。即ち、“1”書き込み不十分のメモリセルが1つでもあると、REND B2が“L”になる。REND B2が放電されて“L”になることを検出して、(再書き込み後の)次のベリファイリードでも“1”書き込み十分か調べるベリファイリードを行う。

【0116】一方、“1”書き込みするメモリセルが全て十分に書き込まれると、“1”書き込みする全てのラムでノードN1が“L”になるので、Qn35が“OFF”になり、その結果、REND B2はプリチャージ電

位を保つ。従って、REND B2の電位が“L”にならず、“H”状態を保つことを“1”データ書き込み終了検知回路4で検出することにより、図1、図10に示したように、(再書き込み後の)次のペリファイリードでは“1”書き込み十分か調べるペリファイリードをせずに、“2”書き込み十分か調べるペリファイリードのみを行う。

【0117】“0”書き込み又は“2”書き込みのメモリセルではN2は“L”なので、Qn36は“OFF”し、REND B2がプリチャージ電位から放電されることはない。従って、書き込みデータが全て“0”又は“2”の場合もREND B2は、“H”レベルを保つ。また、“0”書き込みの書き込みデータはN1が“L”、N2が“L”でなくてもよい。つまり、“0”書き込みの書き込みデータをN1を“L”、N2を“H”としてもよい。この場合N1が“L”なので、Qn35は“OFF”し、REND B2は“H”レベルを保ち、REND B2がプリチャージ電位から放電することはない。

【0118】“1”書き込みメモリセルが書き込み十分か調べるペリファイリードを省略する様子を、図10を用いて説明する。“1”書き込み不十分だとREND B

2が“L”なので、図10のように再書き込み及び、ペリファイリード第1サイクル、ペリファイリード第2サイクルが繰り返される。

【0119】一方、“1”書き込みするメモリセルが全て十分に書き込まれ、“2”書き込みするメモリセルで書き込み不十分のものとがあると、REND B2が

“H”、REND B1が“L”なので、(再書き込み後の)次のペリファイリードでは“1”書き込み十分か調べるペリファイリードをせずに、“2”書き込み十分か調べるペリファイリードのみが行われる。

【0120】また、全てのメモリセルでデータ書き込みが十分になると、全てのカラムのQn30が“OFF”となり、信号REND B1が“H”になる。REND B1が“H”になることを、データ書き込み終了検知回路4で検出することによってデータ書き込み終了情報が出力される。

【0121】下記の(表6)は、消去、書き込み、読み出し、ペリファイ読み出し時のメモリセルアレイ各部の電位を示している。

【0122】

【表6】

	消 去	書 き 込 み			読 み 出 し		ペリファイ 読み出し	
		'0'	'1'	'2'	第1サイクル	第2サイクル	第1サイクル	第2サイクル
B L	0 V	0V	7V	8V	'2'読み出し 時の'L'	'0'読み出し 時の'H'	図14参照	
W L	20 V	-12 V			2.5 V	5 V		

【0123】図6、図11に示した回路は、例えばそれぞれ図15、図16のように変形できる。図15は、図6に見られるnチャネルトランジスタQn3、Qn4をpチャネルトランジスタQp1、Qp2に置き換えてある。図16は、図11に見られるnチャネルトランジスタQn22、Qn23、Qn25～Qn28をpチャネルトランジスタQp3～Qp8に置き換えてある。このようにすることで、nチャネルトランジスタのしきい値による転送できる電圧の降下を防ぐことができ、この例では、電圧VSAを書き込み時に8Vまで上げればよく、回路を構成するトランジスタの耐圧を下げることができる。図15のVRFY1Bは図6のVRFY1の反転信号、図16のVRFY2B、FILB、FIMBは図11のVRFY2、FIL、FIMのそれぞれ反転信号である。

【0124】【実施形態6】ここでは第2の実施形態のように、例えば3値メモリセルで、“1”書き込みするメモリセルの書き込み終了の検知と、“2”書き込みするメモリセルの書き込み終了の検知を共に行う場合の実施形態の具体例を説明する。

【0125】図17はNAND型EEPROMに適用し

た場合の実施形態、図18はNOR型EEPROMに適用した場合の実施形態である。第4及び第5の実施形態と異なるのは、“1”書き込みするメモリセルの書き込み終了の検知回路の他に、“2”書き込みするメモリセルの書き込み終了の検知回路も設けている点である。図17、図18で第1のデータ一括検知用MOSトランジスタユニット(図17ではQn13A、Qn13B、図18ではQn35、Qn36)が“1”書き込みするメモリセルの書き込み終了を検知する回路であり、第2のデータ一括検知用MOSトランジスタユニット(図17ではQn13C、Qn13D、図18ではQn37、Qn38)が“2”書き込みするメモリセルの書き込み終了を検知する回路である。

【0126】メモリセルの書き込みデータは第4及び第5の実施形態と同様にすればよい。第4及び第5の実施形態と同様に、REND B1は全てのデータの書き込み終了を検知する信号、REND B2は“1”書き込みするメモリセルが十分に書き込まれたかを検知する信号である。

【0127】そして、REND B4が“2”書き込みするメモリセルが十分に書き込まれたかを検知する信号で

ある。“2”書き込みメモリセルに対する書き込み終了一括検知は、第4及び第5の実施形態で記している、

“1”書き込みメモリセルに対する書き込み終了一括検知とはほぼ同様に行えば良い。

【0128】まず、一括検知に先立ち、REND B4を定電位にプリチャージする。“2”書き込みするメモリセルではN3は“H”なので、図17のMOSTランジスタQn13D（図18ではQn38）はオンする。第4及び第5の実施形態で記しているように、“2”書き込みが終了した場合には、“2”書き込みするメモリセルのN1が“L”になるので図17のQn13C（図18ではQn37）は“OFF”し、REND B4はプリチャージ電位を保つ。一方“2”書き込み不十分ならば、“2”書き込みするメモリセルのN1は“H”なので、図17のQn13C（図18ではQn37）は“ON”しREND B4はプリチャージ電位から放電する。一方、“0”書き込みするメモリセルではN1は“L”なので図17のQn13C（図18ではQn37）がオフし、REND B4はプリチャージ電位を保つ。“1”書き込みするメモリセルでは、書き込み十分、不十分に拘わらずN3が“L”なので、REND B4はプリチャージ電位を保つ。

【0129】以上のように、REND B4を検出することにより、“2”書き込みメモリセルが十分に書き込まれたかを検知することができる。書き込み動作の概要は、第2の実施形態のように行えば良い。

【0130】〔実施形態7〕本発明では、ビット線制御回路に接続するデータ一括検知用MOSTランジスタユニットによって、多値メモリセルに書き込みを行う際に、例えば“1”書き込みするメモリセルの書き込み終了や、“2”書き込みするメモリセルの書き込み終了を検知することができる。このデータ一括検知用MOSTランジスタユニットを用いれば、最初の書き込みデータを検知して、例えば3値メモリセルで、そもそも“1”書き込みデータがない場合には、最初から“1”書き込みのベリファイリードを省略できる。

【0131】前記図17を用いて説明すると、ビット線制御回路に書き込みデータを入力するに先だって、REND B2、REND B4をプリチャージする。その後、インバータC11、C12、C13、C14で構成されるラッチにデータがロードされる。

【0132】書き込みデータに“1”がない場合には、N1、N2の少なくとも一方は“L”になり、Qn13B又はQn13Aの少なくとも一方は“OFF”になるのでREND B2はプリチャージ電位を保つ。書き込みデータ“1”のビット線制御回路では、データラッチ時にN1、N2共に“H”になるので、REND B2はプリチャージ電位から放電される。

【0133】このようにREND B2の電位を検出することにより、“1”書き込みデータがあるか否かを検出

でき、“1”書き込みデータがない場合には、最初のベリファイリードから“1”書き込みが十分に行われたかを調べるベリファイリードを行わないようにすればよい。

【0134】同様に、データロード前にREND B4をプリチャージし、そしてビット線制御回路のデータロードした後に、REND B4の電位を検出することにより、“2”書き込みデータがあるか否かを検出することができる。つまり、“2”書き込みデータがない場合にはREND B4はプリチャージ電位を保ち、“2”書き込みデータがある場合には、REND B4はプリチャージ電位から放電される。このREND B4の電位を検出すればよい。つまり、REND B4が放電されている場合には、最初のベリファイリードから“2”書き込みが十分に行われたかを調べるベリファイリードを行わないようにすればよい。このように不要なベリファイリードを省略することによって、書き込み時間全体を短縮することができる。

【0135】なお、本発明は上述した各実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。本発明が適用できるのは、実施形態に記したNAND型EEPROMや、NOR型EEPROMのみならず、AND型（K.Kume et al. : IEDM Tech. Dig., Dec. 1992, pp.991-993）や、DINOR型（S.Kobayashi et al. : ISSCC Tech. Dig., 1995, pp.122）、や仮想ランド型アレイ（R.Cemea et al. : ISSCC Tech. Dig., 1995, pp.126）でもよい。

【0136】〔実施形態8〕本実施形態は、第3の実施形態で説明した4値メモリセルをより具体化して説明したものである。

【0137】書き込み動作を示すフローチャートは前記図3と同様である。本発明では、不要なベリファイリードを省略することによって全体の書き込み時間を短縮する。即ち、最初の書き込み後、“3”書き込みが十分に行われたかを調べるベリファイリード第1サイクル、

“2”書き込みが十分に行われたかを調べるベリファイリード第2サイクル、及び“1”書き込みが十分に行われたかを調べるベリファイリード第3サイクルが行われる。

【0138】“1”書き込みのメモリセルで書き込み不十分のメモリセルがあると、再プログラムが行われる。この再プログラムでは“2”書き込み不十分のメモリセルや“3”書き込み不十分のメモリセルに対しても、書き込みが行われる。

【0139】“1”書き込みするメモリセルが十分に書き込みが行われた後では、もはや“1”書き込みが十分に行われたかを調べるベリファイリード第3サイクルは不要なので、図3で示すように、“2”書き込みするメモリセルが十分に書き込みが行われるまで、再書き込み及

び、“3”書き込み十分か調べるベリファイリード第1サイクル、“2”書き込み十分か調べるベリファイリード第2サイクルが行われる。

【0140】“2”書き込みするメモリセルが十分に書き込みが行われた後では、もはや“2”書き込みが十分行われたかを調べるベリファイリード第2サイクルは行わない。つまり、図3で示すように、“3”書き込みするメモリセルが十分に書き込みが行われるまで、再書き込み及び、“3”書き込み十分か調べるベリファイリード第1サイクルのみが行われる。

【0141】以下では、本発明をNAND型EEPROMの4値メモリセルに適用する場合の実施形態を説明する。

【0142】図21は、多値記憶式EEPROMの構成を示している。メモリセルがマトリクス状に配置されて構成されるメモリセルアレイ10に対して、メモリセルを選択したり、制御ゲートに書き込み電圧及び読み出し電圧を印加する制御ゲート・選択ゲート駆動回路20が設けられる。制御ゲート・選択ゲート駆動回路20はアドレスバッファ50につながりアドレス信号を受ける。データ回路30は、書き込みデータに保持したり、メモリセルのデータを読み出したりするための回路である。データ回路30はデータ入出力バッファ40につながり、アドレスバッファ50からのアドレス信号を受ける。データ入出力バッファ40は、EEPROM外部とのデータ入出力制御を行う。

【0143】図22は、図21に見られるメモリセルアレイ10とデータ回路30を示している。メモリセルM<sub>1</sub>～M<sub>4</sub>が直列に接続されNAND型セルを構成している。その両端は、選択トランジスタS<sub>1</sub>、S<sub>2</sub>を介して、それぞれビット線BL、ソース線Vsに接続される。制御ゲートCGを共有するメモリセルM群は、“ページ”と呼ばれる単位を形成し、同時にデータ書き込み・読み出しされる。また、4本の制御ゲートCG<sub>1</sub>～CG<sub>4</sub>に繋がるメモリセル群でブロックを形成する。“ページ”や“ブロック”は、制御ゲート・選択ゲート駆動回路20によって選択される。各ビット線BL<sub>0A</sub>～BL<sub>mA</sub>には、データ回路30-0～30-mが接続され、対応するメモリセルへの書き込みデータを一時的に記憶したりする。この実施形態はオープン・ビット線配置なのでデータ回路にはビット線BL<sub>0B</sub>～BL<sub>mB</sub>も接続される。

【0144】図23は、メモリセルMに4つの書き込み状態を設けることによって4値記憶する場合の、メモリセルMのしきい値電圧と4つの書き込み状態(4レベルデータ“0”、“1”、“2”、“3”)の関係を示している。データ“0”の状態は消去後の状態と同じで、例えば負のしきい値を持つ。“1”状態は、例えば0.5Vから0.8Vの間のしきい値を持つ。“2”状態は、例えば1.5Vから1.8Vの間のしきい値を持つ。“3”状態は、例えば2.5Vから2.8Vの間の

しきい値を持つ。

【0145】メモリセルMの制御ゲートCGに、読み出し電圧VCG2Rを印加して、メモリセルが“ON”か“OFF”かでメモリセルのデータが“0”、“1”のいずれかか“2”、“3”のいずれかを検出できる。続けて、読み出し電圧VCG3R、VCG1Rを印加することでメモリセルのデータが完全に検出される。読み出し電圧VCG1R、VCG2R、VCG3Rは、例えばそれぞれ0V、1V、2Vとされる。電圧VCG1V、VCG2V、VCG3Vはベリファイ電圧と呼ばれ、データ書き込み時にはこれらベリファイ電圧を制御ゲートに印加してメモリセルMの状態を検出し、十分書き込みが行われたか否かをチェックする。例えば、それぞれ0.5V、1.5V、2.5Vとされる。

【0146】図24はデータ回路を示している。データ回路は2つのラッチ回路(第1のラッチ回路及び第2のラッチ回路)を含む。書き込みの際には、2ビットの書き込みデータはこの2つのラッチ回路に蓄えられる。読み出しの際には、読み出した4値データはこの2つのラッチ回路に蓄えられ、その後IO1、IO2を介してチップ外部に出力される。

【0147】512ビット(カラムアドレスA<sub>0</sub>、A<sub>1</sub>、A<sub>2</sub>、…、A<sub>510</sub>、A<sub>511</sub>)のデータを書き込み、そして読み出す場合を例にとりて説明する。

【0148】＜書き込み＞まず、先頭アドレスA<sub>0</sub>の書き込みデータは第1のラッチ回路RT1-0に入力し、そして保持される。続いて、アドレスA<sub>1</sub>、A<sub>2</sub>、…、A<sub>254</sub>、A<sub>255</sub>の書き込みデータは、第1のラッチ回路RT1-1、RT1-2、…、RT1-254、RT1-255に入力し、保持される。そしてアドレスA<sub>256</sub>、A<sub>257</sub>、…、A<sub>510</sub>、A<sub>511</sub>の書き込みデータは、第2のラッチ回路RT2-0、RT2-1、…、RT2-254、RT2-255に入力し、保持される。その後、データ回路内の2つのラッチ回路に保持された2ビットの書き込みデータに従ってメモリセルに書き込みが行われる。

【0149】もし、データが512ビットに満たない場合には、データ回路内の第1のラッチ回路には書き込みデータが入力されるが、第2のラッチ回路には書き込みデータが入力されない。この場合には、メモリセルの書き込み状態が、しきい値が低い“0”状態または“1”状態になるように第2のラッチ回路に書き込みデータを入力すればよい。

【0150】＜読み出し＞読み出し手順を図25に示した。まず、読み出すメモリセルのワード線に“1”状態と“2”状態の間の電圧V<sub>p1</sub>を印加する。メモリセルが導通状態になればメモリセルが“0”又は“1”であり、メモリセルが非導通状態になればメモリセルは“2”又は“3”状態である。カラムアドレスA<sub>0</sub>、A<sub>1</sub>、A<sub>2</sub>、…、A<sub>254</sub>、A<sub>255</sub>に相当する読み出したデータを第1のラッチ回路に保持する。

【0151】次に、選択ワード線にVp2を印加すると、メモリセルが“3”状態であるか、或いは“0”又は“1”又は“2”状態であるかが分る。読み出したデータは第2のラッチ回路に保持する。この間に、第1のラッチ回路に保持したデータ（カラムアドレスA0, A1, A2, …, A254, A255に相当）をIO1を介してチップ外部に出力する。

【0152】最後に、選択ワード線にVp3を印加すると、メモリセルが“0”状態であるか、或いは“1”又は“2”又は“3”であるかが分る。これによりメモリセルに蓄えられた2ビット情報が読み出される。カラムアドレスA256, A257, …, A510, A511に相当する読み出したデータを第2のラッチ回路に保持する。第1のラッチ回路に保持されたカラムアドレスA0, A1, A2, …, A254, A255に相当するデータをチップ外部に出力した後、第2のラッチ回路に保持されたカラムアドレスA256, A257, …, A510, A511に相当するデータをIO2を介してチップ外部に出力する。

【0153】この読み出し方式では、最初にセンスをし第1のラッチ回路にデータを保持した後、すぐに読み出しデータを外部に出力できるので、読み出し時間は従来例よりも遥かに短くなり、2値メモリセルの場合とほぼ同様になる。つまり、従来例ではワード線電圧を3回変えてセンスした後、データをチップ外部に出力したが、本実施形態では最初にワードに所定の読み出し電圧を印加してメモリセルを読み出した後にデータがチップ外部に出力されるので、読み出しが高速化される。

【0154】以下では、動作タイミング図を用いて詳細に動作を説明する。

【0155】図26が、データ回路3の具体例である。本実施形態は、4値記憶を例に構成されている。nチャネルMOSトランジスタQn21, Qn22, Qn23とpチャネルMOSトランジスタQp9, Qp10, Qp11構成されるフリップ・フロップFF1とnチャネルMOSトランジスタQn29, Qn30, Qn31とpチャネルMOSトランジスタQp16, Qp17, Qp18で構成されるFF2に、書き込み／読み出しデータをラッチする。また、これらはセンスアンプとしても動作する。

【0156】フリップ・フロップFF1, FF2は、「“0”書き込みをするか、“1”書き込みをするか、“2”書き込みをするか、“3”書き込みをするか」を書き込みデータ情報としてラッチし、メモリセルが「“0”の情報を保持しているか、“1”の情報を保持しているか、“2”の情報を保持しているか、“3”の情報を保持しているか」を読み出しデータ情報としてセンスしラッチする。

【0157】データ入出力線IOA, IOBとフリップ・フロップFF1は、nチャネルMOSトランジスタQn28, Qn27を介して接続される。データ入出力線IOC, IODとフリップ・フロップFF2は、nチャネル

MOSトランジスタQn35, Qn36を介して接続される。

【0158】データ入出力線IOA, IOB, IOC, IODは、図21中のデータ入出力バッファ4にも接続される。nチャネルMOSトランジスタQn27, Qn28のゲートは、NAND論理回路G3とインバータI5で構成されるカラムアドレスデコードの出力に接続される。フリップ・フロップFF1に保持された読み出しデータはCENB1が活性化されることにより、IOA及びIOBに出力される。nチャネルMOSトランジスタQn35, Qn36のゲートは、NAND論理回路G2とインバータI4で構成されるカラムアドレスデコードの出力に接続される。フリップ・フロップFF2に保持された読み出しデータはCENB2が活性化されることにより、IOC及びIODに出力される。

【0159】nチャネルMOSトランジスタQn26, Qn34は、それぞれフリップ・フロップFF1, FF2を信号ECH1, ECH2が“H”となってイコライズする。nチャネルMOSトランジスタQn24, Qn32は、フリップ・フロップFF1, FF2とMOSキャパシタQd1の接続を制御する。nチャネルMOSトランジスタQn25, Qn33は、フリップ・フロップFF1, FF2とMOSキャパシタQd2の接続を制御する。

【0160】pチャネルMOSトランジスタQp12C, Qp13Cで構成される回路は、活性化信号VRFYBACによって、フリップ・フロップFF1のデータに応じて、MOSキャパシタQd1のゲート電圧を変更する。pチャネルMOSトランジスタQp14C, Qp15Cで構成される回路は、活性化信号VRFYBBCによって、フリップ・フロップFF1のデータに応じて、MOSキャパシタQd2のゲート電圧を変更する。pチャネルMOSトランジスタQp12C, Qp19C, Qp20Cで構成される回路は、活性化信号VRFYBA2Cによって、フリップ・フロップFF1及びFF2のデータに応じて、MOSキャパシタQd1のゲート電圧を変更する。

【0161】pチャネルMOSトランジスタQp14C, Qp21C, Qp22Cで構成される回路は、活性化信号VRFYBB2Cによって、フリップ・フロップFF1及びFF2のデータに応じて、MOSキャパシタQd2のゲート電圧を変更する。nチャネルMOSトランジスタQn1C, Qn2Cで構成される回路は、活性化信号VRFYBA1Cによって、フリップ・フロップFF2のデータに応じて、MOSキャパシタQd1のゲート電圧を変更する。nチャネルMOSトランジスタQn3C, Qn4Cで構成される回路は、活性化信号VRFYBB1Cによって、フリップ・フロップFF2のデータに応じて、MOSキャパシタQd2のゲート電圧を変更する。

【0162】MOSキャパシタQd1, Qd2は、ディプリーション型nチャネルMOSトランジスタで構成され、ビット線容量より十分小さくされる。nチャネルM

OSトランジスタQn37は、信号PREAによってMOSキャパシタQd1を電圧VAに充電する。nチャンネルMOSトランジスタQn38は、信号PREBによってMOSキャパシタQd2を電圧VBに充電する。nチャンネルMOSトランジスタQn39、Qn40は、信号BLCA、BLCBによって、データ回路30とビット線BLa、BLbの接続をそれぞれ制御する。nチャンネルMOSトランジスタQn37、Qn38で構成される回路はビット線電圧制御回路を兼ねる。

【0163】nチャンネルMOSトランジスタQn7C、Qn8Cから構成される第1のデータ一括検出用MOSトランジスタユニットは“1”書き込みするメモリセルの書き込み終了を検知する。nチャンネルMOSトランジスタQn9C、Qn10Cから構成される第2のデータ一括検出用MOSトランジスタユニットは“2”書き込みするメモリセルの書き込み終了を検知する。

【0164】以下では、制御ゲートCG2Aが選択されている場合を示す。

【0165】＜読み出し動作＞図27が本実施形態の読み出し方法である。まず時刻tw1、電圧VA、VBがそれぞれ1.8V、1.5Vとなって、ビット線BLa、BLbはそれぞれ1.8V、1.5Vになる。次に、信号PREA、PREBが“L”となって、ビット線BLa、BLbはフローティングとなる。続いて、時刻tw2に制御ゲート・選択ゲート駆動回路20によって選択されたブロックの選択された制御ゲートCG2Aは1V、非選択制御ゲートCG1A、CG3A、CG4Aと選択ゲートSG1A、SG2AはVCCにされる。選択されたメモリセルのしきい値が1V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が1V以上なら、ビット線電圧は1.8Vのままとなる。その後、信号SAN2、SAP2がそれぞれ

“L”、“H”となってフリップ・フロップFF2が非活性化され、信号ECH2が“H”となってイコライズされる。この後、時刻tw3に信号RV2A、RV2Bが“H”となる。時刻tw4に再度、信号SAN2、SAP2がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。これで、「メモリセルのデータが“0”又は“1”か、或いは“2”又は“3”か」がフリップ・フロップFF2によってセンスされ、その情報はラッチされる。

【0166】フリップ・フロップFF2に保持されたデータは時刻tw5にCENB2が活性化されることにより、チップ外部に出力される。

【0167】次に、メモリセルのしきい値が0V以上か或いは、0V以下かが判定される。時刻tw5にビット線BLaが1.8Vに、ダミービット線BLbが1.5Vにプリチャージされ、その後フローティングにされる。その後、時刻tw6に選択された制御ゲートが0Vにされる。選択されたメモリセルのしきい値が0V以下なら、

ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が0V以上なら、ビット線電圧は1.8Vのままとなる。信号SAN1、SAP1がそれぞれ“L”、“H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、時刻tw7に信号RV1A、RV1Bが“H”となる。時刻tw8に信号SAN1、SAP1がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。これで、「メモリセルのデータが“0”か、或いは“1”又は“2”又は“3”か」がフリップ・フロップFF1によってセンスされ、その情報はラッチされる。この時のフリップフロップFF1、FF2のノードN3C、N5Cの電位は、下記の（表7）のようになる。

【0168】

【表7】

	“0”	“1”	“2”	“3”
N3C	L	H	H	H
N5C	L	L	H	H

【0169】最後に、メモリセルに書き込まれたデータが“0”又は“1”又は“2”か、或いは“3”かがセンスされる。時刻tw9にビット線BLaが1.8Vに、ダミービット線BLbが1.5Vにプリチャージされ、その後フローティングにされる。その後、時刻tw10に選択された制御ゲートが2Vにされる。選択されたメモリセルのしきい値が2V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が2V以上なら、ビット線電圧は1.8Vのままとなる。時刻tw11にVRFYBA2Cが0Vになる。

【0170】（表7）から分るように、ノードN5Cが“Low level”及びノードN3Cが“High level”（つまりノードN4Cが“Low level”）になるのは“1”データの場合のみである。従って“1”データの場合のみpチャンネルMOSトランジスタQp12C、Qp18C、Qp20Cがオンし、ノードN1がVCCになる。

【0171】その後、信号SAN1、SAP1がそれぞれ“L”、“H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後時刻tw12に、信号RV1A、RV1Bが“H”となる。時刻tw13に再度、信号SAN1、SAP1がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。これで、「メモリセルのデータが“0”又は“1”又は“2”であるか、或いは“3”か」がフリップ・フロップFF1によってセンスされ、その情報はラッチされる。

【0172】フリップ・フロップFF1に保持されたデータは時刻tw14にCENB1が活性化されることによ

り、チップ外部に出力される。

【0173】以上の読み出し動作の結果、4値のデータが下記の(表8)のようにフリップフロップFF1、F

	"0"	"1"	"2"	"3"
IOA (N3C)	L	H	L	H
IOB (N4C)	H	L	H	L
IOC (N5C)	L	L	H	H
IOD (N6C)	H	H	L	L

【0175】(表8)中の各データのしきい値分布は次の通りである。

【0176】データ"0"・・・しきい値:0V以下  
データ"1"・・・しきい値0.5V以上0.8V以下  
データ"2"・・・しきい値1.5V以上1.8V以下  
データ"3"・・・しきい値2.5V以上2.8V以下  
読み出し中、信号VRFYBAC, VRFYBBCは  
"H"、信号VRFYBA1C, VRFYBB1Cは  
"L"である。また、電圧Vsは0Vとする。

【0177】メモリセルに記憶されているデータ、しきい値、データ入出力線IOA, IOB, IOC, IODに読み出し後に出力されるレベルの関係は(表8)の通りである。

【0178】<書き込み動作>まず、書き込みデータがフリップフロップFF1, FF2にロードされる。その後、"1"データ、"2"データ及び"3"データがほ

F2にラッチされる。

【0174】

【表8】

ぼ同時に書き込まれる。そして"1"データ、"2"データ、"3"データが十分書き込まれたかを調べるベリファイリードが行われ、書き込み不十分のメモリセルがある場合には、再書き込みが行われる。全てのメモリセルが十分に書き込まれることを、書き込み終了検知回路が検知することにより書き込みが終了する。

【0179】以下ではまずプログラムについて説明し、次にベリファイリードについて説明する。

【0180】(1) プログラム

書き込み動作前に、入力されたデータは、データ入出力バッファ4で変換されて、データ回路3に入力される。4値データとデータ入出力線IOA, IOB, IOC, IODの関係は下記の(表9)の通りである。

【0181】

【表9】

	"0"	"1"	"2"	"3"
IOA (N3C)	H	H	L	L
IOB (N4C)	L	L	H	H
IOC (N5C)	H	L	H	L
IOD (N6C)	L	H	L	H

【0182】その際に、データ回路は256個あるとすると(つまりページ長が256であるとする)、入力した最初の256ビットの書き込みデータは、カラム活性化信号CENB1が"H"で、IOA, IOBを介してフリップ・フロップFF1に入力する。そして、外部から入力した256ビット以降の書き込みデータは、カラム活性化信号CENB2が"H"で、IOC, IODを介してフリップ・フロップFF2に入力する。

【0183】(表8)(表9)から分るように、IOA, IOBを介してフリップ・フロップ1に入力され、書き込みが行われたデータは、読み出しの際にはフリップ・フロップ2に読み出しデータが出力され、その後、IOC, IODを介してチップ外部に出力される。つま

り、IOAから書き込みデータが入力されるデータに関しては、IODから読み出しデータ出力するようにデータ入出力バッファでデータ制御を行えばよい。同様に、IOBから書き込みデータが入力されるデータに関しては、IOCから読み出しデータ出力するようにデータ入出力バッファでデータ制御を行えばよい。

【0184】一方、IOC, IODを介してフリップ・フロップ2に入力され、書き込みが行われたデータは、読み出しの際にはフリップ・フロップ1に読み出しデータが出力され、その後、IOB, IOAを介してチップ外部に出力される。つまり、IOCから書き込みデータが入力されるデータに関しては、IOBから読み出しデータ出力するようにデータ入出力バッファでデータ制御

を行えばよい。同様に、IODから書き込みデータが入力されるデータに関しては、IOAから読み出しデータ出力するようにデータ入出力バッファでデータ制御を行えばよい。

【0185】書き込み動作は図28に示されている。時刻 $t_{1s}$ に電圧VAがビット線書き込み制御電圧1Vとなってビット線BLaが1Vとされる。nチャネルMOSトランジスタQn39のしきい値分の電圧降下が問題になるときは、信号BLCAを昇圧すればよい。続いて、信号PREが“L”となってビット線がフローティングにされる。次に、時刻 $t_{2s}$ に信号RV2Aが1.5Vとされる。これによって、データ“1”又は“3”が保持されているデータ回路からはビット線制御電圧0Vがビット線に印加される。nチャネルMOSトランジスタQn32のしきい値を1Vとすると、“0”又は“2”書き込み時にはnチャネルMOSトランジスタQn32は“OFF”、“1”又は“3”書き込み時には“ON”となる。その後、時刻 $t_{3s}$ にVRFYBACが0Vになり、データ“0”又はデータ“1”が保持されているデータ回路からはビット線書き込み制御電圧VCCがビット線に出力される。

【0186】そして、時刻 $t_{1s}$ にVRFYBA2Cが0Vになり、データ“1”が保持されているデータ回路からはV1を介してビット線“1”書き込み電位2Vがビット線に出力される。その結果、“0”書き込みするビット線はVCC、“1”書き込みするビット線は2V、“2”書き込みするビット線は1V、“3”書き込みするビット線は0Vになる。

【0187】時刻 $t_{4s}$ に制御ゲート・選択ゲート駆動回路2によって、選択されたブロックの選択ゲートSG1A、制御ゲートCG1A~CG4AがVCCとなる。選択ゲートSG2Aは0Vである。次に、選択された制御ゲートCG2Aが高電圧VPP(例えば20V)、非選択制御ゲートCG1A、CG3A、CG4AがVM(例えば10V)となる。データ“3”が保持されているデータ回路に対応するメモリセルでは、0Vのチャネル電位と制御ゲートのVPPの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。

【0188】データ“2”が保持されているデータ回路に対応するメモリセルでは、1Vのチャネル電位と制御ゲートのVPPの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。データ“1”が保持されているデータ回路に対応するメモリセルでは、2Vのチャネル電位と制御ゲートのVPPの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。“2”書き込みの場合のチャネル電位を1V、“1”書き込みの場合のチャネル電位を2Vにしているのは、電子の注入量を“3”データ書き込みの場合、“2”書き込みの場合、“1”書き込みの場合の順番で少なくするためである。

【0189】データ“0”が保持されているデータ回路に対応するメモリセルでは、チャネル電位と制御ゲートのVPPの電位差が小さいため、実効的には浮遊ゲートに電子は注入されない。よって、メモリセルのしきい値は変動しない。書き込み動作中、信号SAN1、SAN2、PREB、BLCBは“H”、信号SAP1、SAP2、VRFYBA1C、RV1A、RV1B、RV2B、ECH1、ECH2は“L”、電圧VBは0Vである。

#### 10 【0190】(2) ベリファイリード

書き込み動作後、書き込みが充分に行われたかを検出する(書き込みベリファイ)。もし、所望のしきい値に達していれば、データ回路のデータを“0”に変更する。もし、所望のしきい値に達していなければ、データ回路のデータを保持して再度書き込み動作を行う。書き込み動作と書き込みベリファイは全ての“1”書き込みするメモリセル、“2”書き込みするメモリセル及び“3”書き込みするメモリセルが所望のしきい値に達するまで繰り返される。

20 【0191】但し、図3に示したように、全ての“1”書き込みするメモリセルが書き込み終了したと第1のデータ一括検知用MOSトランジスタユニットが検知すると、以後のベリファイリードでは“1”ベリファイリードは省略する。同様に、全ての“2”書き込みするメモリセルが書き込み終了したと第2のデータ一括検知用MOSトランジスタユニットが検知すると、以後のベリファイリードでは“2”ベリファイリードは省略する。

【0192】図29及び図30を用いて、この書き込みベリファイ動作を説明する。

#### 30 【0193】(2-1) “1”ベリファイリード

まず、“1”書き込みするメモリセルが所定のしきい値に達しているかを検出する。

【0194】時刻 $t_{lyc}$ に、電圧VA、VBがそれぞれ1.8V、1.5Vとなって、ビット線BLa、BLbはそれぞれ1.8V、1.5Vになる。信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離され、ビット線BLa、BLbはフローティングとなる。信号PREA、PREBが“L”となつて、MOSキャパシタQd1、Qd2のゲート電極であるノードN1、N2はフローティング状態になる。

40 【0195】続いて、制御ゲート・選択ゲート駆動回路2によって選択されたブロックの選択された制御ゲートCG2Aは0.5V、非選択制御ゲートCG1A、CG3A、CG4Aと選択ゲートSG1A、SG2AはVCCにされる。選択されたメモリセルのしきい値が0.5V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が0.5V以上なら、ビット線電圧は1.8Vのままとなる。

50 【0196】時刻 $t_{2yc}$ に、信号BLCA、BLCBが



“H”とされ、ビット線の電位がN1, N2に転送される。その後、信号BLCA, BLCBが“L”となつて、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。この後、時刻t3ycにRV1Aが1.5Vになり、“2”書き込みの場合および“3”書き込みの場合には、ノードN1が0Vに放電される。時刻t4ycに信号VRFYBA1Cが“H”となると、“0”又は“2”書き込みデータが保持されているデータ回路では、nチャネルMOSTランジスタQn2が“ON”であり、ノードN1はVCCとなる。その結果、ノードN1は“0”書き込み又は“2”書き込みの場合にはVCC、“3”書き込みの場合には0Vになる。

【0197】信号SAN2, SAP2がそれぞれ“L”, “H”となつてフリップ・フロップFF2が非活性化され、信号ECH2が“H”となつてイコライズされる。この後、信号RV2A, RV2Bが“H”となる。再度、信号SAN2, SAP2がそれぞれ“H”, “L”となることで、時刻t5ycにノードN1の電圧がセンスされラッチされる。これで、“1”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが十分“1”書き込み状態となったか否かを検出する。

【0198】メモリセルのデータが“1”であれば、フリップ・フロップFF2でノードN1の電圧をセンスしラッチすることで書き込みデータは“0”に変更される。メモリセルのデータが“1”でなければ、フリップ・フロップFF1でノードN2の電圧をセンスしラッチすることで書き込みデータは“1”に保持される。

“0”又は“2”又は“3”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

【0199】“1”書き込みするメモリセルの書き込み終了は、図26の第1のデータ一括検知用MOSTランジスタユニットを用いて検知する。“1”ペリファイリッド後、まずRNDB1を例えばVCCプリチャージする。“0”又は“2”又は“3”データがラッチされているデータ回路ではN3C及びN6Cの少なくとも一方は“L”(表9参照)なのでnチャネルMOSTランジスタQn7C及びQn8Cの少なくとも一方はオフし、RNDB1はプリチャージ電位から放電しない。

【0200】一方、“1”書き込みが不十分なメモリセルが1つでもあると、そのデータ回路のノードN3C及びN6Cは共に“H”(表9参照)なのでnチャネルMOSTランジスタQn7CとQn8Cは共にオンし、RNDB1はプリチャージ電位から低下する。

【0201】“1”書き込みするメモリセルが全て十分に書き込まれると、ノードN6Cが“L”になる。従つて、データ回路30-0, 30-1, …, 30-m-1, 30-m内の第1のデータ一括検知用MOSTランジスタユニット内のノードN3C, N6Cの少なくとも一方がオフな

る。その結果、RNDB1はプリチャージ電位を保ち、“1”書き込みの終了が検知される。“1”書き込みが全て終了すると、以後のペリファイリッドでは“1”ペリファイリッドは省略する。

【0202】(2-2) “2”ペリファイリッド

“1”ペリファイリッドと同様にビット線及びダミービット線をプリチャージした後に、選択された制御ゲートCG2Aが1.5Vにされる。選択されたメモリセルのしきい値が1.5V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が1.5V以上なら、ビット線電圧は1.8Vのままとする。時刻t6ycに、信号BLCA, BLCBが“H”とされ、ビット線の電位がN1, N2に転送される。その後、信号BLCA, BLCBが“L”となつて、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。この後時刻t7ycに、信号RV2Aが例えばVCC以下の1.5Vとされる。

【0203】nチャネルMOSTランジスタQn32のしきい値が1Vの場合、“3”書き込みデータが保持されているデータ回路ではnチャネルMOSTランジスタQn32は“ON”で、ノードN1は0Vとなる。“2”書き込みデータが保持されているデータ回路で、メモリセルが十分に“2”書き込みされている場合にはnチャネルMOSTランジスタQn32は“OFF”で、ノードN1は1.5V以上に保たれる。“2”書き込み不十分の場合には、ノードN1は1.5V以下である。時刻t8ycに信号VRFYBACが“L”となると、“0”又は“1”書き込みデータが保持されているデータ回路では、pチャネルMOSTランジスタQp13が“ON”であり、ノードN1はVCCとなる。

【0204】信号SAN1, SAP1がそれぞれ

“L”, “H”となつてフリップ・フロップFF1が非活性化され、信号ECH1が“H”となつてイコライズされる。この後、信号RV1A, RV1Bが“H”となる。再度、信号SAN1, SAP1がそれぞれ“H”, “L”となることで、時刻t9ycにノードN1の電圧がセンスされラッチされる。これで、“2”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが十分“2”書き込み状態となったか否かを検出する。

【0205】メモリセルのデータが“2”であれば、フリップ・フロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“0”に変更される。メモリセルのデータが“2”でなければ、フリップ・フロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“2”に保持される。

“0”又は“1”又は“3”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

【0206】“2”書き込みするメモリセルの書き込み

終了は図26の第2のデータ一括検知用MOSトランジスタユニットを用いて検知する。“2”ベリファイリード後、まずRNDB2を例えばVCCプリチャージする。“0”又は“1”又は“3”データがラッチされているデータ回路では、N4C及びN5Cの少なくとも一方は“L”（表9参照）なのでnチャネルMOSトランジスタQn9CおよびQn10Cの少なくとも一方はオフし、RNDB2はプリチャージ電位から放電しない。

【0207】一方、“2”書き込みが不十分なメモリセルが1つでもあると、そのデータ回路のノードN4C及びN5Cは共に“H”（表9参照）なのでnチャネルMOSトランジスタQn9CとQn10Cは共にオンし、RNDB2はプリチャージ電位から低下する。“2”書き込みするメモリセルが全て十分に書き込まれると、ノードN4Cが“L”になる。従って、データ回路30-0, 30-1, ..., 30-m-1, 30-m内の第2のデータ一括検知用MOSトランジスタユニット内のノードN4C, N5Cの少なくとも一方がオフなる。その結果、RNDB2はプリチャージ電位を保ち、“2”書き込みの終了が検知される。“2”書き込みが全て終了すると、以後のベリファイリードでは“2”ベリファイリードは省略する。

【0208】(2-3) “3”ベリファイリード  
時刻t10ycにビット線及びダミービット線をプリチャージした後に、選択された制御ゲートCG2Aが2.5Vにされる。選択されたメモリセルのしきい値が2.5V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が2.5V以上なら、ビット線電圧は1.8Vのままとなる。

【0209】この後時刻t11ycに、信号BLCA, BL CBが“H”とされ、ビット線の電位がN1, N2に転送される。再度、信号BLCA, BL CBが“L”となつて、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。この後時刻t12ycに、信号VRFYBACが“L”となると、“0”又は“1”書き込みデータが保持されているデータ回路及び、“2”書き込みが十分に行われたデータ回路では、pチャネルMOSトランジスタQp13が“ON”であり、ノードN1はVCCとなる。信号SAN1, SAP1がそれぞれ“L”, “H”となつてフリップ・フロップFF1が非活性化され、信号ECH1が“H”となつてイコライズされる。

【0210】この後、信号RV1A, RV1Bが“H”となる。その後時刻t13ycに、信号SAN1, SAP1がそれぞれ“H”, “L”となることで、ノードN1の電圧がセンスされラッチされる。

【0211】この後、図30に示されるように、書き込みデータの変換が更に行われる。時刻t14ycに、信号BLCA, BL CBが“H”とされ、ビット線の電位がN1, N2に転送される。再度、信号BLCA, BL CB

が“L”となつて、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。

【0212】この後時刻t15ycに、信号VRFYBA1Cが“H”となると、“0”又は“2”書き込みデータが保持されているデータ回路及び“1”書き込み十分のデータ回路では、nチャネルMOSトランジスタQn2Cが“ON”であり、ノードN1はVCCとなる。信号SAN2, SAP2がそれぞれ“L”, “H”となつてフリップ・フロップFF2が非活性化され、信号ECH2が“H”となつてイコライズされる。この後、信号RV2A, RV2Bが“H”となる。その後時刻t17ycに、信号SAN2, SAP2がそれぞれ“H”, “L”となることで、ノードN1の電圧がセンスされラッチされる。

【0213】以上のようにして、“3”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが十分“3”書き込み状態となったか否かを検出する。メモリセルのデータが“3”であれば、フリップ・フロップFF1, FF2でノードN1の電圧をセンスしラッチすることで書き込みデータは“0”に変更される。メモリセルのデータが“3”でなければ、フリップ・フロップFF1, FF2でノードN1の電圧をセンスしラッチすることで書き込みデータは“3”に保持される。“0”又は“1”又は“2”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

【0214】書き込みベリファイ中、信号VRFYBBCは“H”、信号VRFYBB1Cは“L”、電圧Vsは0Vとする。

【0215】全ての選択されたメモリセルが所望のしきい値に達していれば、データ回路のデータは“0”データになる。つまり、書き込みが終了すると、ノードN4C, N6Cが“L”になる。これを検出することにより、全ての選択されたメモリセルが所望のしきい値に達したか否かが分る。書き込み終了の検出は例えば、図26のように書き込み終了一括検知トランジスタQn5C、及びQn6Cを用いればよい。ベリファイリード後、まずVRTCを例えばVCCプリチャージする。

【0216】書き込みが不十分なメモリセルが1つでもあると、そのデータ回路のノードN4C又はN6Cの少なくとも一方は“H”なのでnチャネルMOSトランジスタQn5CとQn6Cの少なくとも1つはオンし、VRTCはプリチャージ電位から低下する。全てのメモリセルが十分に書き込まれると、データ回路30-0, 30-1, ..., 30-m-1, 30-mのノードN4C, N6Cが“L”になる。その結果、全てのデータ回路内のnチャネルMOSトランジスタQn5C及びQn6CがオフになるのでVRTCはプリチャージ電位を保つ。

【0217】[実施形態9] 図31のように“3”書き込みするメモリセルの書き込み終了を検知しても良い。

“3”書き込みするメモリセルの書き込み終了は図31の第3のデータ一括検知用MOSトランジスタユニットを用いて検知する。“3”ベリファイリード後、まずRNDB3を例えばVCCにプリチャージする。“0”又は“1”又は“2”データがラッチされているデータ回路ではN4C及びN6Cの少なくとも一方は“L”（表9参照）なのでnチャンネルMOSトランジスタQn11C及びQn12Cの少なくとも一方はオフし、RNDB3はプリチャージ電位から放電しない。

【0218】一方、“3”書き込みが不十分なメモリセルが1つでもあると、そのデータ回路のノードN4C及びN6Cは共に“H”（表9参照）なのでnチャンネルMOSトランジスタQn11CとQn12Cは共にオンし、RNDB3はプリチャージ電位から低下する。“3”書き込みするメモリセルが全て十分に書き込まれると、ノードN4Cが“L”になる。従って、データ回路30-0、30-1、…、30-m-1、30-m内の第3のデータ一括検知用MOSトランジスタユニット内のノードN4C、N6Cの少なくとも一方がオフなる。その結果、RNDB3はプリチャージ電位を保ち、“3”書き込みの終了が検知される。

【0219】“3”書き込みが“1”書き込み或いは“2”書き込みよりも先に終了する場合には、本実施形態のように第3のデータ一括検知用MOSトランジスタユニットを設ければよい。この第3のデータ一括検知用MOSトランジスタユニットを用いることにより、

“3”書き込みの終了を検知できる。“3”書き込みが全て終了すると、以後のベリファイリードでは“3”ベリファイリードは省略する。

【0220】[実施形態10]書き込み及びベリファイリードの手順は図3の例に限らない。例えば、“2”書き込みが“1”書き込みよりも先に終了した場合には、図26又は図31の第2のデータ一括検知MOSトランジスタユニットで“2”書き込み終了を検知する。その結果、以後のベリファイリードでは“2”ベリファイリードを省略し、以後は“1”及び“3”書き込み、“1”ベリファイリード及び“3”ベリファイリードを行えばよい。

【0221】以上のように、本実施形態では所定の書き込みレベルの書き込み終了検知回路を用いることにより、所定の書き込みレベルの書き込み終了を検知できる。所定の書き込みレベルの書き込み終了後、該書き込みレベルのベリファイリードを省略する事により、トータルの書き込みを高速化できる。従って、書き込み終了を検知する書き込みレベルは大いに任意性を有し、また動作タイミングも大いに任意性を有する。

【0222】例えば図3の実施形態では、最初に“3”ベリファイリード、“2”ベリファイリード、“1”ベリファイリードの順でベリファイリードを行うが、“1”ベリファイリード、“2”ベリファイリード、

“3”ベリファイリードの順でも良いし、“2”ベリファイリード、“3”ベリファイリード、“1”ベリファイリードの順でも良い。

#### 【0223】

【発明の効果】以上説明したように本発明によれば、多値メモリセルを書き込む際に、ベリファイリード時に書き込みが十分に行われたデータのベリファイリードを以降では行わないことによって、不要なベリファイリードを省略することができ、書き込み時間を短縮して書き込みの高速化をはかることができる。

#### 【図面の簡単な説明】

【図1】第1の実施形態における書き込み動作の概略を説明するための図。

【図2】第2の実施形態における書き込み動作の概略を説明するための図。

【図3】第3の実施形態における書き込み動作の概略を説明するための図。

【図4】第4及び第5の実施形態に係わるEEPROMの概略構成を示すブロック図。

【図5】第4の実施形態におけるメモリセルアレイの具体的構成を示す回路図。

【図6】第4の実施形態におけるビット線制御回路の具体的構成を示す回路図。

【図7】第4の実施形態における読み出し動作を示すタイミング図。

【図8】第4の実施形態における書き込み動作を示すタイミング図。

【図9】第4の実施形態におけるベリファイ読み出し動作を示すタイミング図。

【図10】第4及び第5の実施形態の書き込み動作の概略を説明する図。

【図11】第5の実施形態におけるビット線制御回路の具体的構成を示す回路図。

【図12】第5の実施形態における読み出し動作を示すタイミング図。

【図13】第5の実施形態における書き込み動作を示すタイミング図。

【図14】第5の実施形態におけるベリファイ読み出し動作を示すタイミング図。

【図15】第4の実施形態におけるビット線制御回路の構成を示す回路図。

【図16】第5の実施形態におけるビット線制御回路の構成を示す回路図。

【図17】第6の実施形態におけるビット線制御回路の具体的構成を示す回路図。

【図18】第6の実施形態におけるビット線制御回路の具体的構成を示す回路図。

【図19】従来の書き込み動作の概略を説明するための図。

【図20】従来の書き込み動作の概略を説明するための

図。

【図21】第8の実施形態に係わる多値記憶式EEPROMの構成を示すブロック図。

【図22】図21のメモリセルアレイとデータ回路をの構成を示す回路図。

【図23】4値記憶する場合のメモリセルのしきい値分布を示す図。

【図24】データ回路の具体的構成を示すブロック図。

【図25】読み出し手順の概略を説明するための図。

【図26】データ回路の具体例を示す回路図。

【図27】第8の実施形態における読み出し方法を説明するためのタイミング図。

【図28】第8の実施形態における書き込み動作を説明するためのタイミング図。

【図29】第8の実施形態における書き込みベリファイ動作を説明するためのタイミング図。

【図30】第8の実施形態における書き込みベリファイ動作を説明するためのタイミング図。

【図31】第9の実施形態におけるデータ回路の具体例を示す回路図。

【符号の説明】

- 1…メモリセルアレイ  
2…ビット線制御回路  
3…カラム・デコーダ

4…“1”データ書き込み終了検知回路及びデータ書き込み終了検知回路

5…入出力データ変換回路

6…データ入出力バッファ

7…ワード線駆動回路

8…ロウ・デコーダ

10…メモリセルアレイ

20…制御ゲート・選択ゲート駆動回路

30…データ回路

40…データ入出力バッファ

50…アドレスバッファ

60…データ制御回路

M…メモリセル

S…選択トランジスタ

SG…選択ゲート

CG…制御ゲート

BL…ビット線

Qn…nチャンネルMOSトランジスタ

Qp…pチャンネルMOSトランジスタ

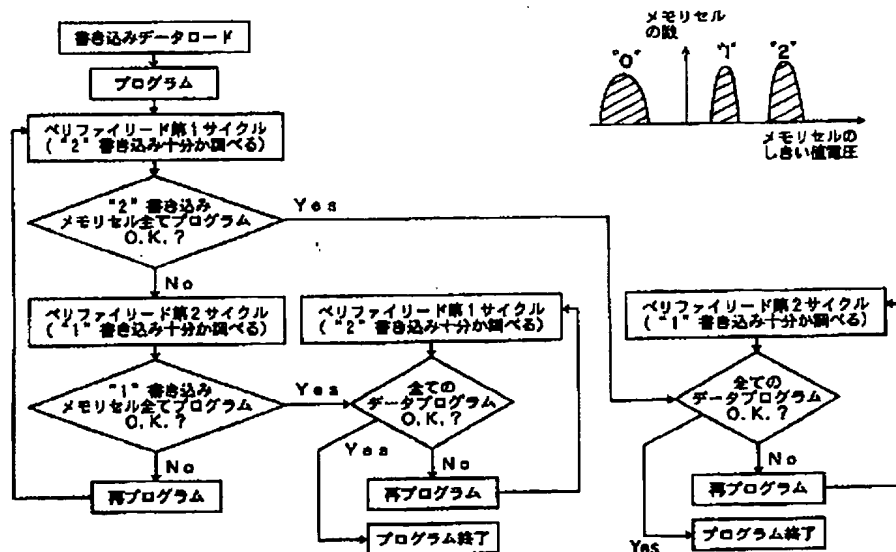
20 Qd…ディプリーション型nチャンネルMOSトランジスタ

FF…フリップ・フロップ

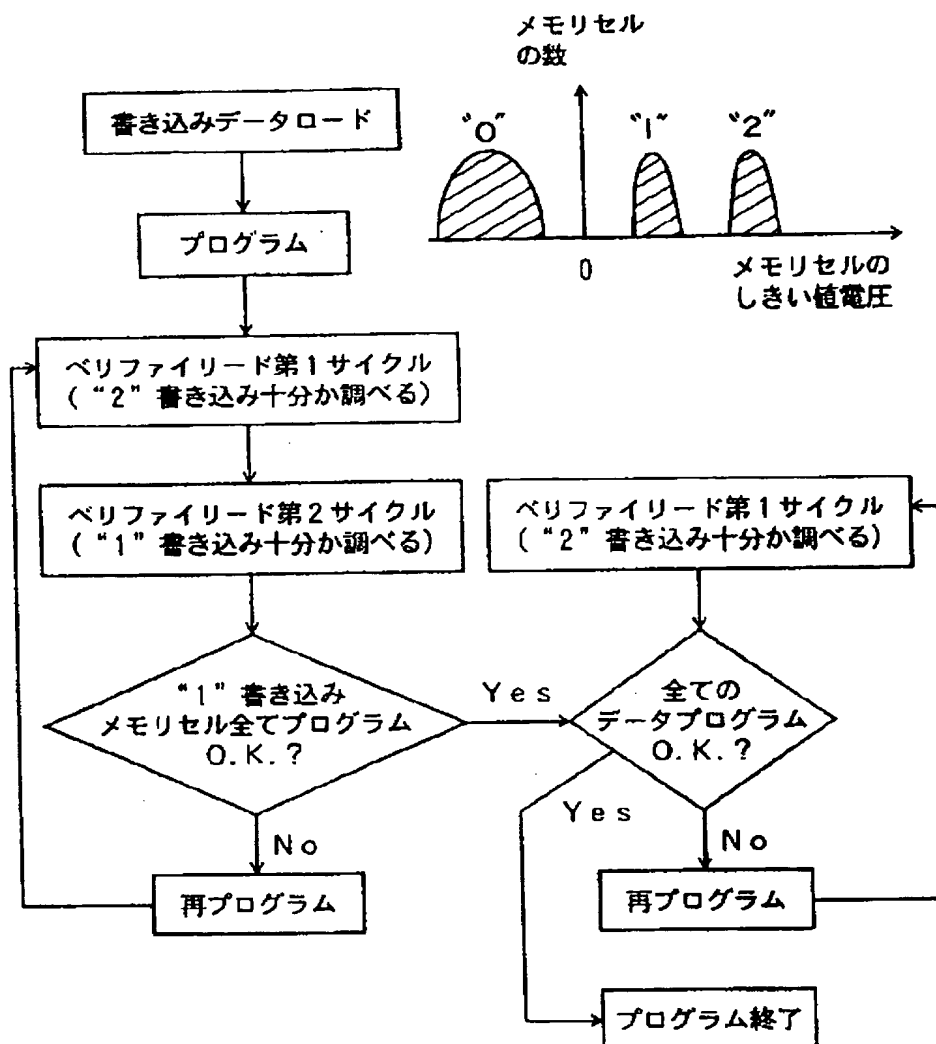
I…インバータ

G…NAND論理回路

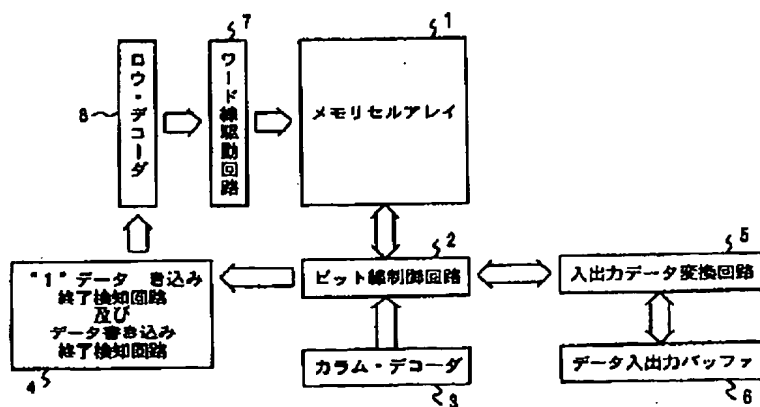
【図2】



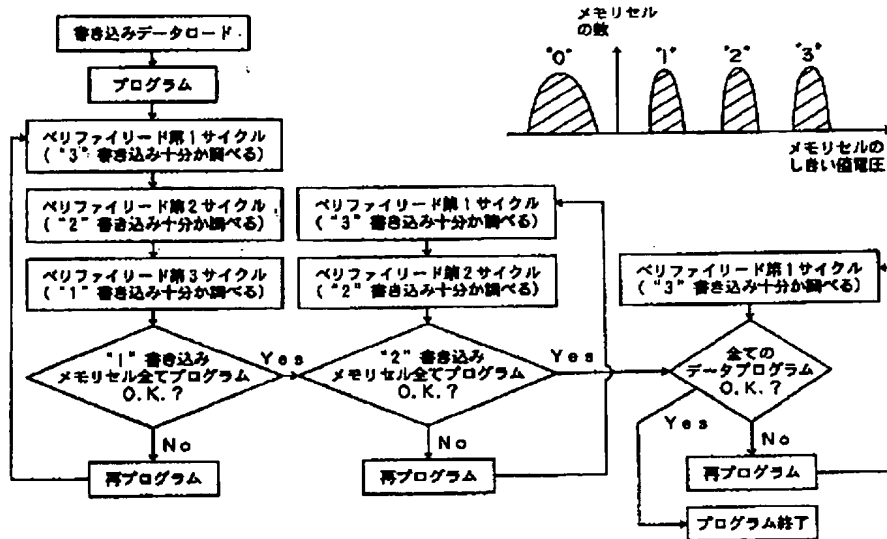
【図1】



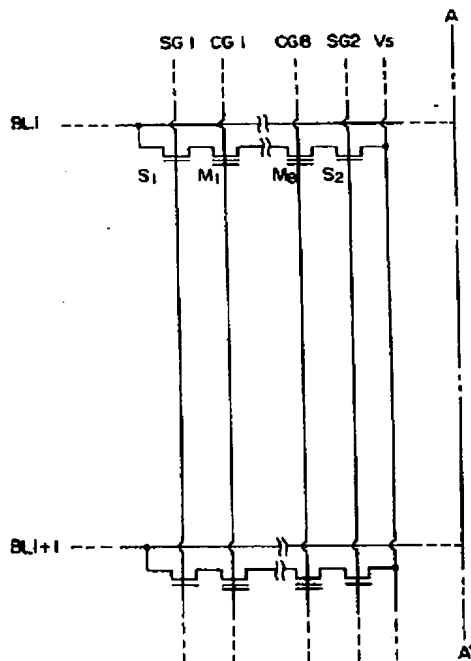
【図4】



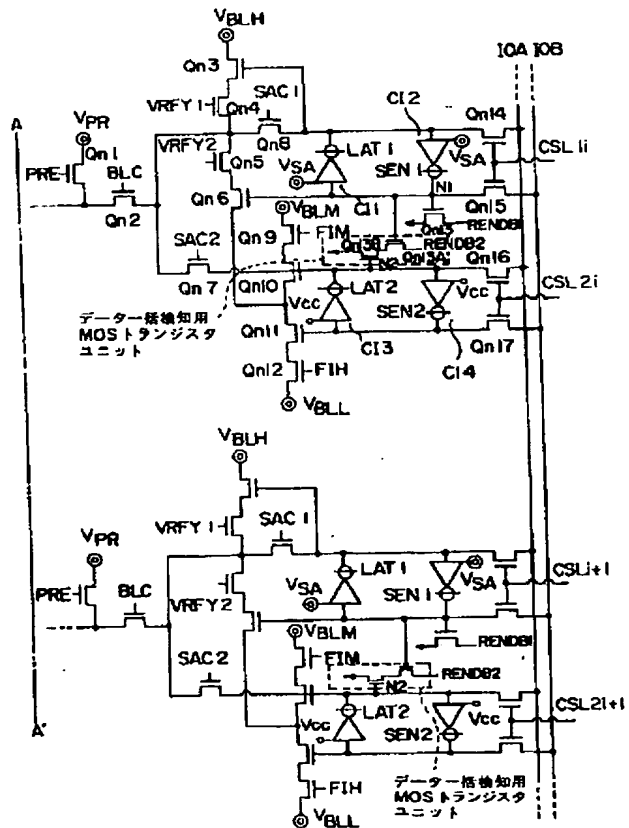
【図3】



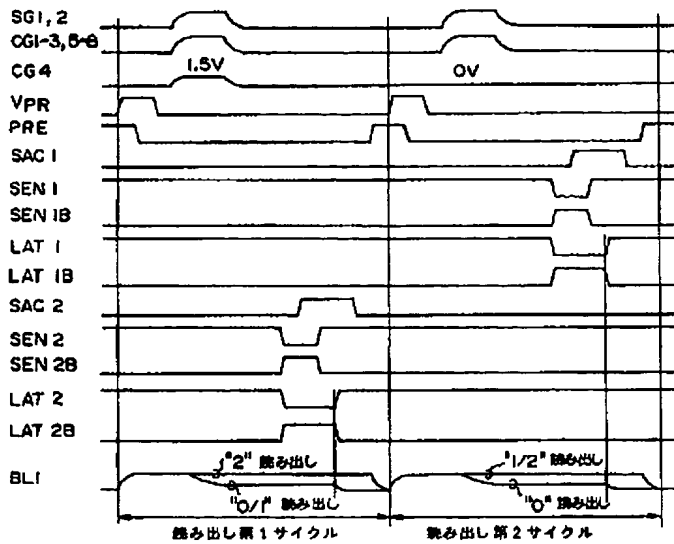
【図5】



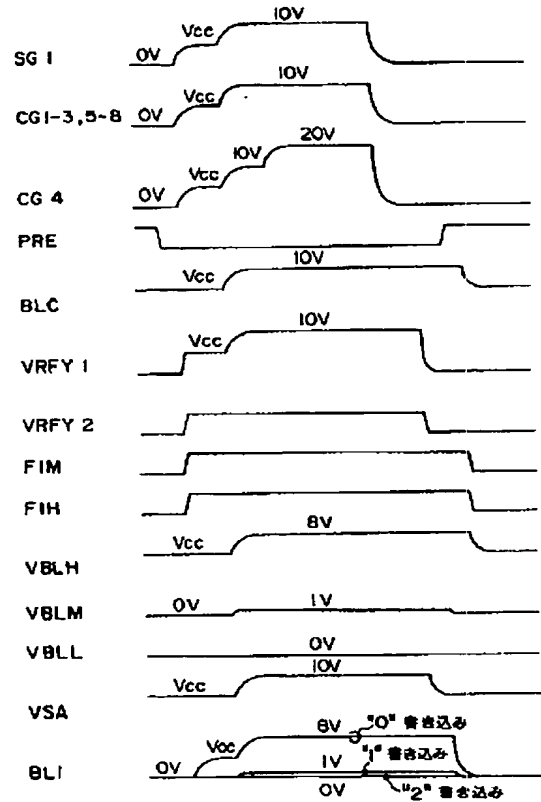
【図6】



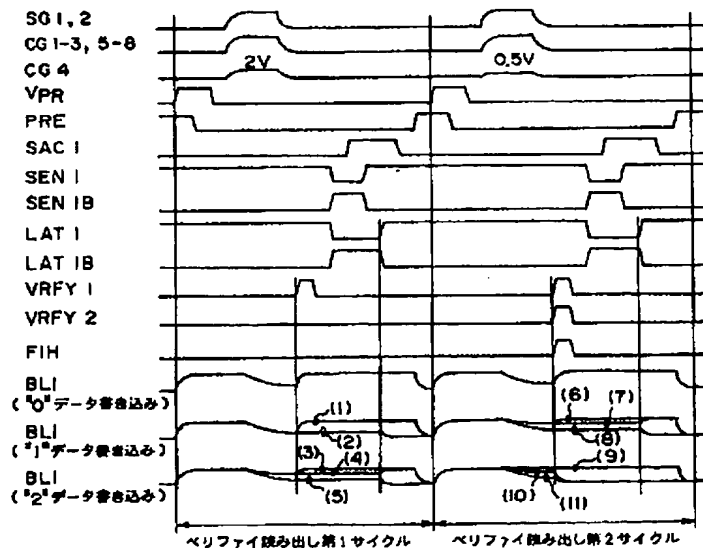
【図7】



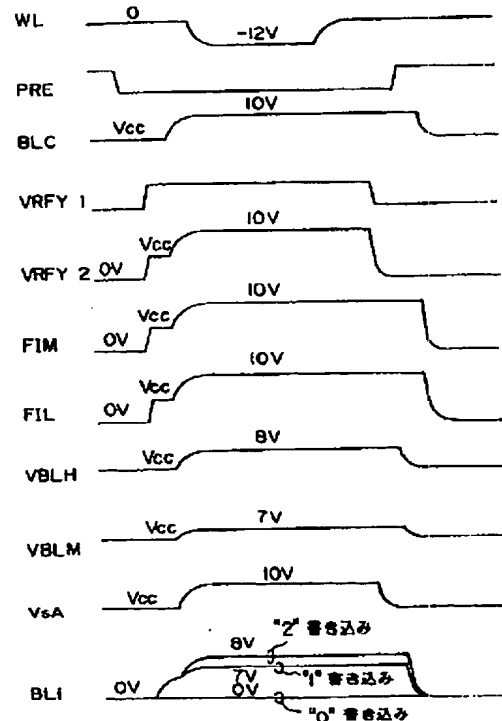
【図8】



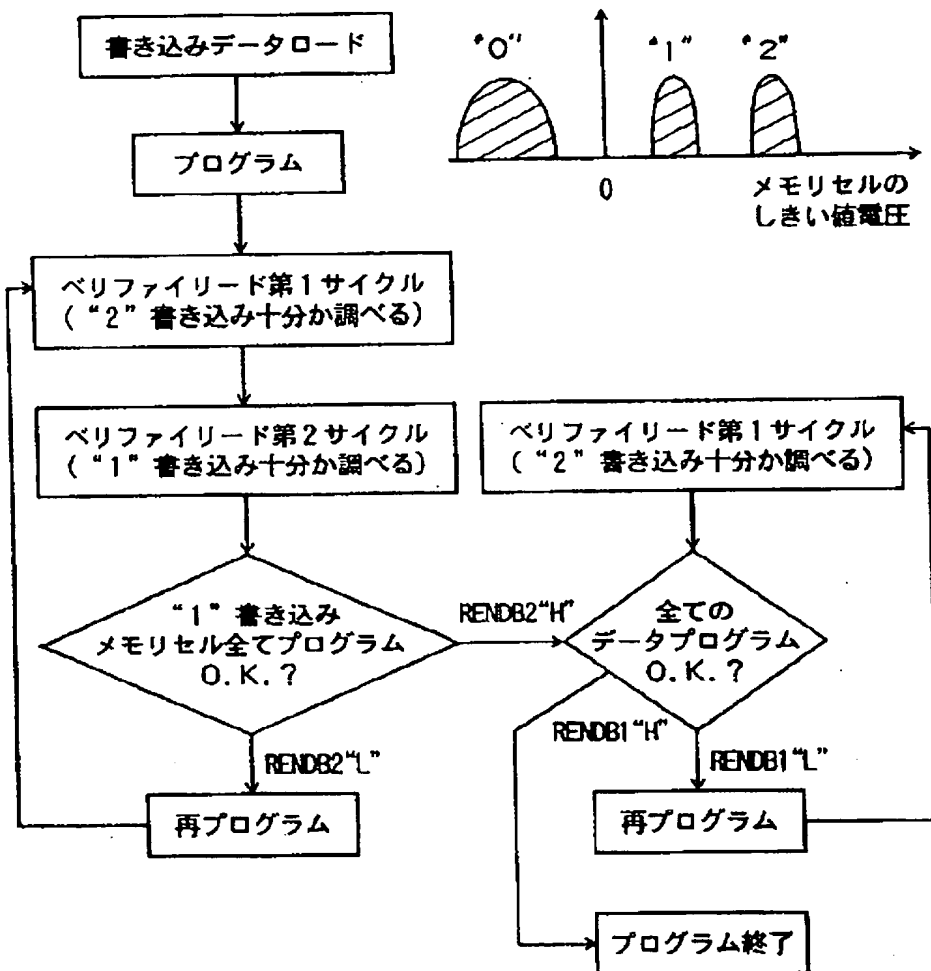
【図9】



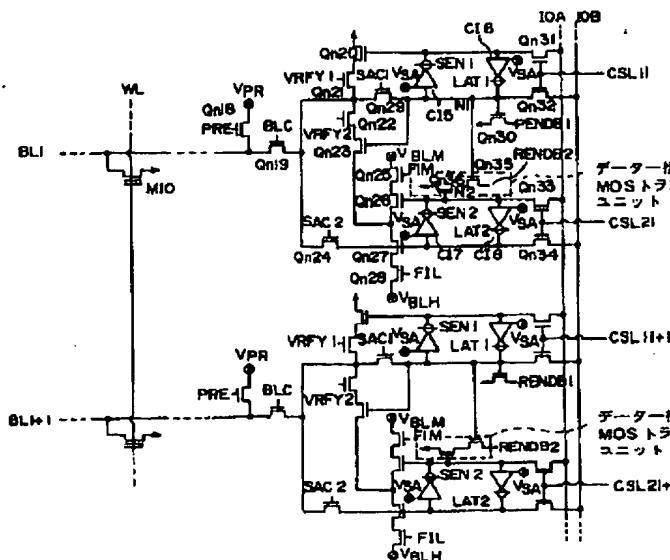
【図13】



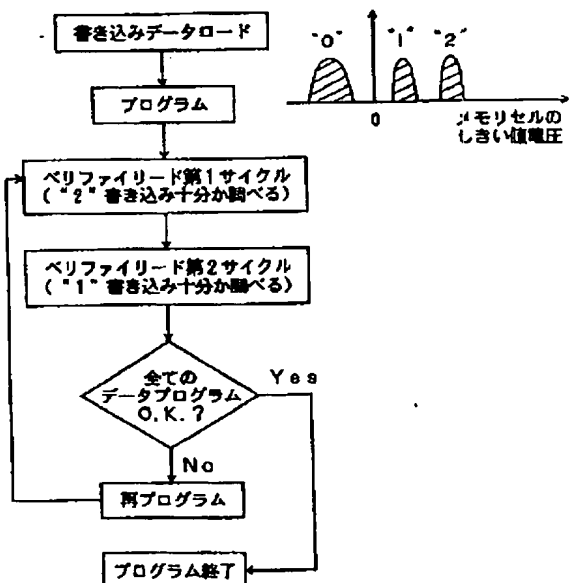
【図10】



【図11】



【図19】





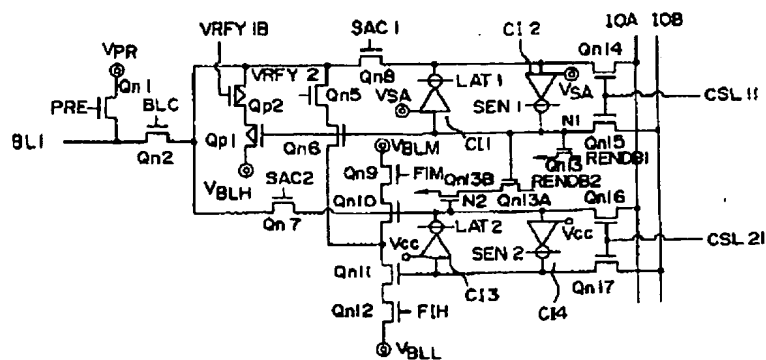
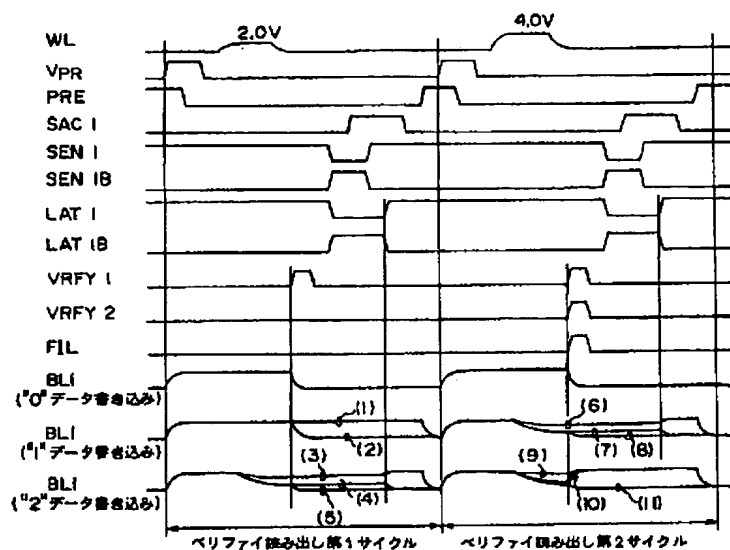
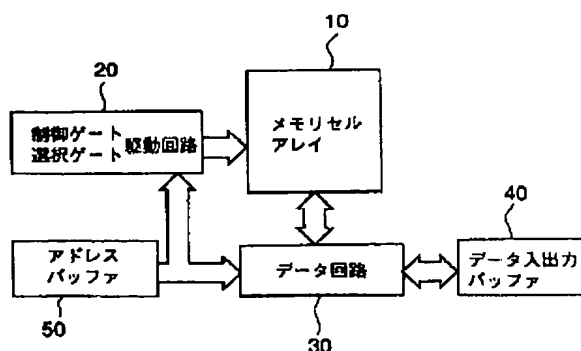
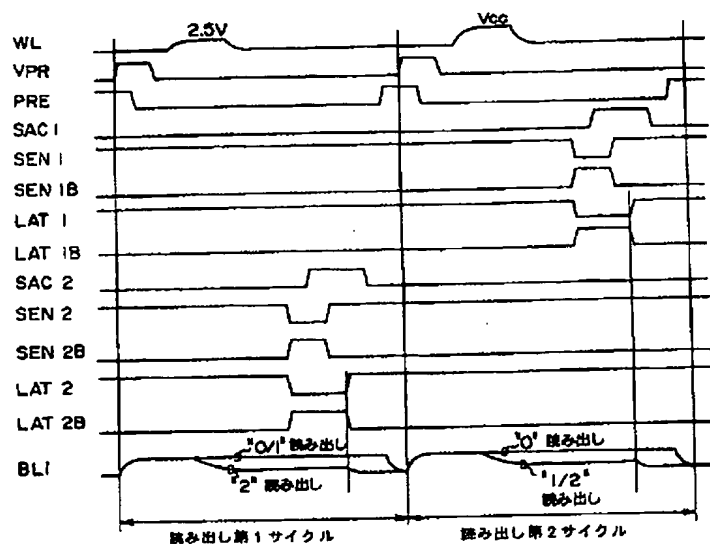


Figure 1 consists of two parts. The top part is a graph showing the voltage distribution of memory cells. The horizontal axis is labeled 'メモリスルのしきい値電圧' (Memory cell threshold voltage) and the vertical axis is labeled '0'. There are four bell-shaped curves representing the voltage distribution for memory cells labeled '0', '1', '2', and '3'. The curves are shifted to the right in the order 0, 1, 2, 3, indicating increasing threshold voltage.

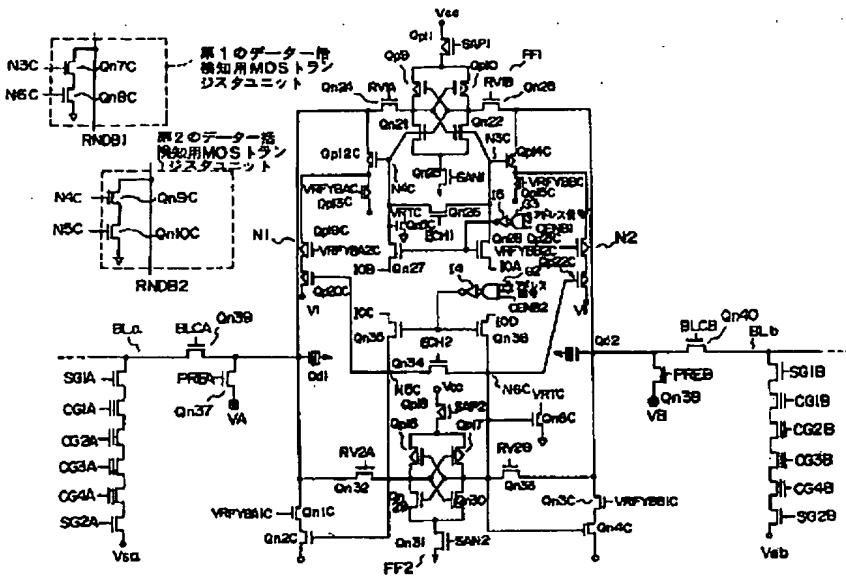
The bottom part is a flowchart illustrating the program flow:

```
graph TD
    A[書き込みデータロード] --> B[プログラム]
    B --> C[ベリファイリード第1サイクル  
("3"書き込み十分か調べる)]
    C --> D[ベリファイリード第2サイクル  
("2"書き込み十分か調べる)]
    D --> E[ベリファイリード第3サイクル  
("1"書き込み十分か調べる)]
    E --> F{全ての  
データプログラム  
O.K. ?}
    F -- No --> G[再プログラム]
    G --> C
    F -- Yes --> H[プログラム終了]
```

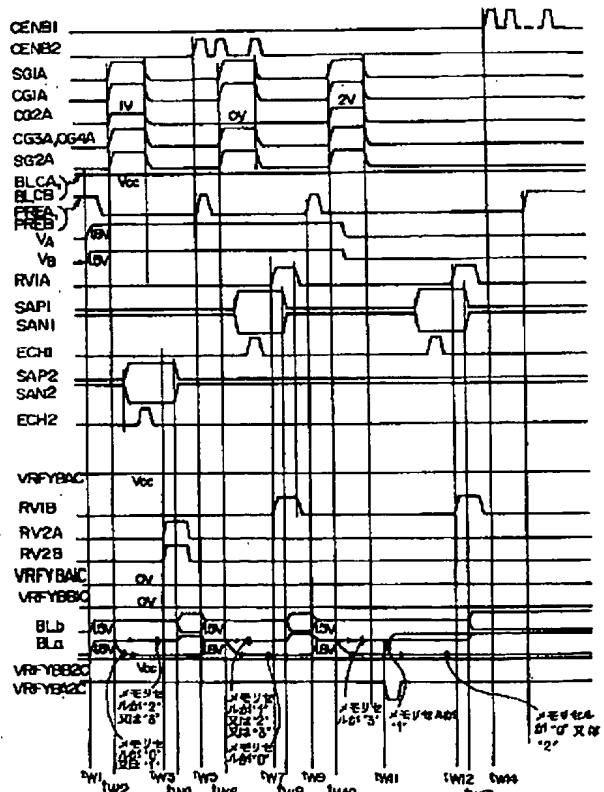
The flowchart starts with a box labeled '書き込みデータロード' (Load write data), followed by 'プログラム' (Program). It then enters a loop of three verification cycles: 'ベリファイリード第1サイクル ("3"書き込み十分か調べる)' (Verify read cycle 1: Check if "3" write is sufficient), 'ベリファイリード第2サイクル ("2"書き込み十分か調べる)' (Verify read cycle 2: Check if "2" write is sufficient), and 'ベリファイリード第3サイクル ("1"書き込み十分か調べる)' (Verify read cycle 3: Check if "1" write is sufficient). After the third cycle, a decision diamond asks '全てのデータプログラム O.K. ?' (All data programmed O.K.?). If the answer is 'No', it goes to '再プログラム' (Re-program) and loops back to the first verification cycle. If the answer is 'Yes', it proceeds to 'プログラム終了' (Program end).



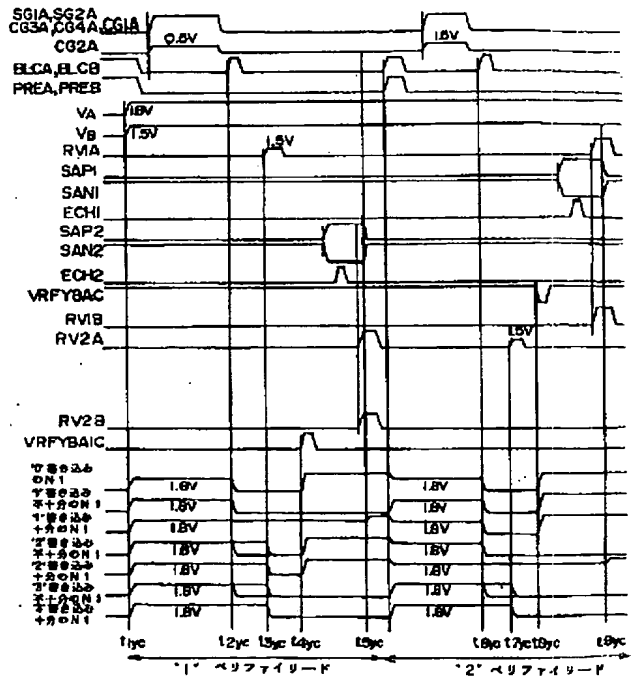
【图 2 6】



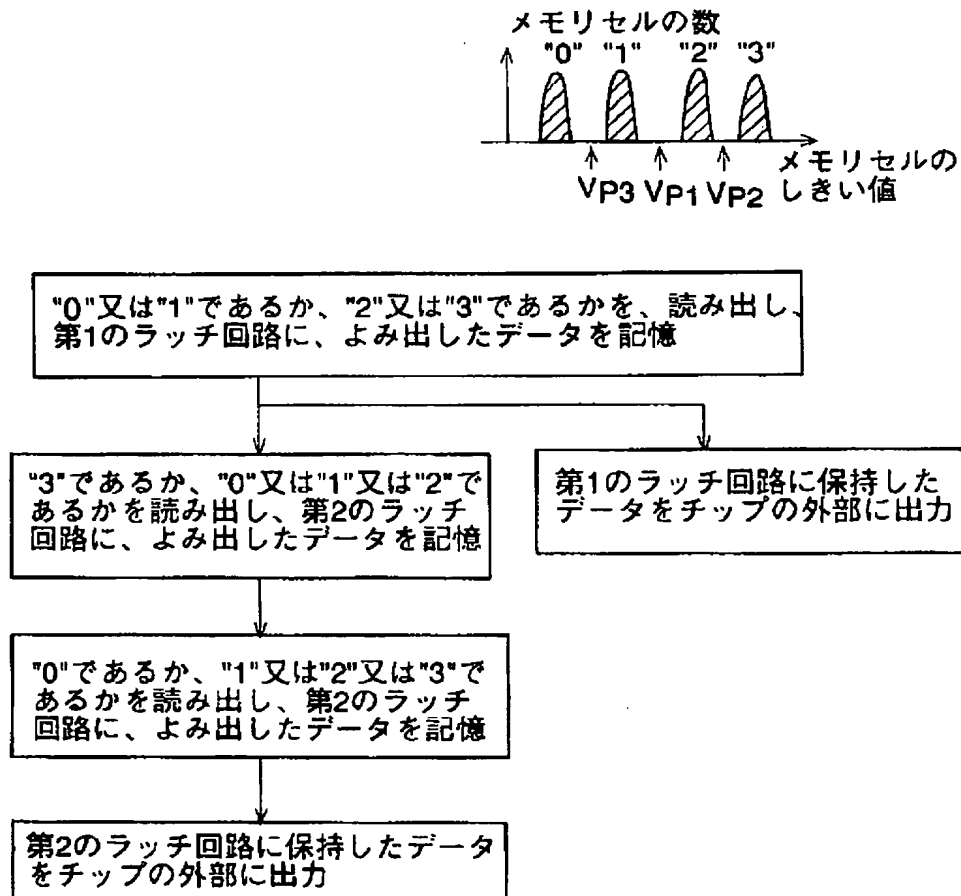
【図 27】



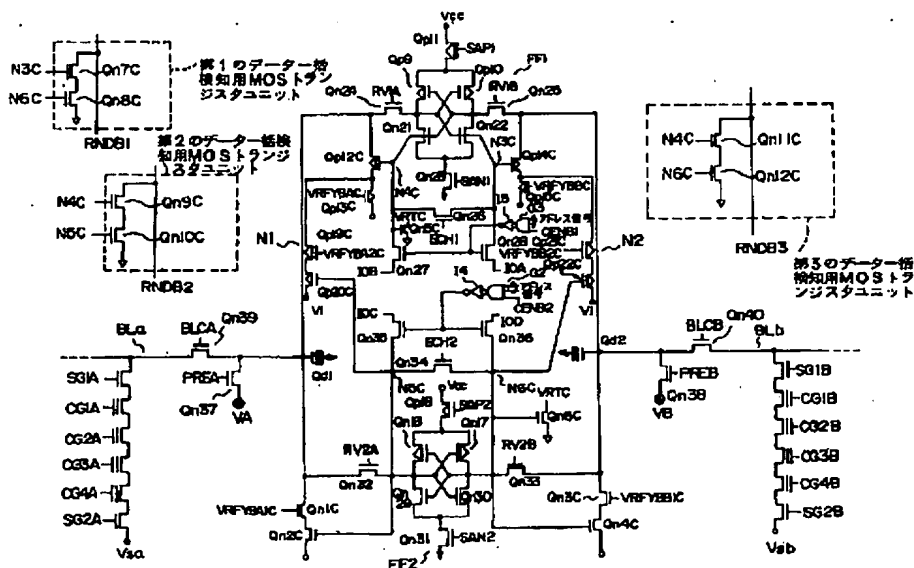
【图 29】



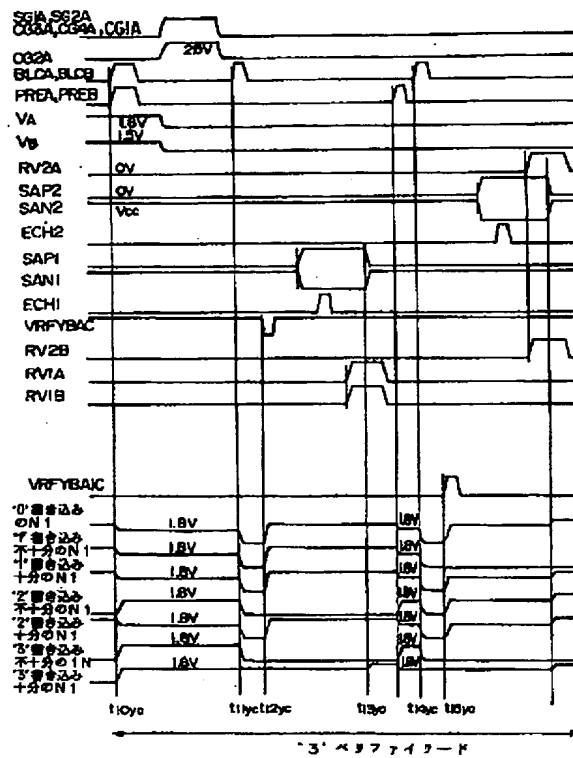
【図25】



【図31】



【図 30】



フロントページの続き

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
G11C 16/00 - 16/34